

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira UMEZAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE INCLUDING MOS TRANSISTOR HAVING A FLOATING GATE AND A CONTROL GATE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-165152	June 10, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 6月10日

出 願 番 号
Application Number: 特願2003-165152
[ST. 10/C]: [JP2003-165152]

出 願 人
Applicant(s): 株式会社東芝

2003年11月12日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302401

【提出日】 平成15年 6月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 梅沢 明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】

【請求項 1】 第 1 半導体層と、前記第 1 半導体層上にゲート間絶縁膜を介在して形成された第 2 半導体層とを含む積層ゲートを備える第 1 MOS トランジスタを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、

同一列にある前記第 1 MOS トランジスタの前記電流経路の一端を電氣的に共通接続するビット線と、

同一行にある前記第 1 MOS トランジスタの第 2 半導体層を共通接続する第 1 ワード線と、

前記ビット線のいずれかを選択するカラムセクタと、

前記カラムセクタを制御するカラムデコーダと、

前記第 1 ワード線のいずれかを選択する第 1 ロウデコーダと

を具備し、前記カラムデコーダと前記第 1 ロウデコーダの少なくとも一方は、電源電位に電氣的に接続された電流経路の一端を有する第 2、第 3 MOS トランジスタと、

ゲートにアドレス信号に関連した入力信号が入力され、電流経路の一端が前記第 2 MOS トランジスタの電流経路の他端及び前記第 3 MOS トランジスタのゲートに接続され、電流経路の他端が接地電位に電氣的に接続された第 4 MOS トランジスタと、

ゲートに前記入力信号の反転信号が入力され、電流経路の一端が前記第 3 MOS トランジスタの電流経路の他端及び前記第 2 MOS トランジスタのゲートに接続され、電流経路の他端が接地電位に電氣的に接続され、前記電流経路の一端が前記ビット線または前記第 1 ワード線に電氣的に接続された第 5 MOS トランジスタと、

前記入力信号に応答して、前記第 2、第 3 MOS トランジスタへの前記電源電位の供給を制御する第 1 スイッチ素子とを含むレベルシフト回路を備える

ことを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 スイッチ素子は、電流経路の一端が前記電源電位に

接続され、電流経路の他端が前記第2 MOS トランジスタの前記電流経路の一端に接続され、ゲートに前記入力信号が入力された第6 MOS トランジスタと、

電流経路の一端が前記電源電位に接続され、電流経路の他端が前記第3 MOS トランジスタの前記電流経路の一端に接続され、ゲートに前記入力信号の反転信号が入力された第7 MOS トランジスタとを含む

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記レベルシフト回路は、前記入力信号が入力される一方電極を有する第1 キャパシタ素子と、

前記入力信号の反転信号が入力される一方電極を有する第2 キャパシタ素子とを更に備え、前記スイッチ素子は、前記第1、第2 キャパシタ素子の他方電極における電位に応じて、前記第2、第3 MOS トランジスタへの前記電源電位の供給を制御する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記第1 スイッチ素子は、電流経路の一端が前記電源電位に接続され、電流経路の他端が前記第2 MOS トランジスタの前記電流経路の一端に接続され、ゲートが前記第1 キャパシタ素子の他方電極に接続された第6 MOS トランジスタと、

電流経路の一端が前記電源電位に接続され、電流経路の他端が前記第3 MOS トランジスタの前記電流経路の一端に接続され、ゲートが前記第2 キャパシタ素子の他方電極に接続された第7 MOS トランジスタとを含む

ことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記レベルシフト回路は、該レベルシフト回路を動作状態にするためのイネーブル信号がアサートされている際に、前記第4、第5 MOS トランジスタの電流経路の他端を接地電位に接続する第2 スイッチ素子と、

前記イネーブル信号がネゲートされている際に、前記第4 MOS トランジスタの電流経路の一端を接地電位に接続する第3 スイッチ素子と

を更に備えることを特徴とする請求項1乃至4いずれか1項記載の半導体記憶装置。

【請求項6】 前記第1 スイッチ素子は、前記入力信号によって前記第4、

第5 MOS トランジスタがそれぞれオン状態、オフ状態とされている際、前記第2 MOS トランジスタと前記電源電位との間を非接続とし、前記第3 MOS トランジスタと前記電源電位との間を接続する

ことを特徴とする請求項1乃至5いずれか1項記載の半導体記憶装置。

【請求項7】 前記カラムデコーダと前記第1 ロウデコーダの少なくとも一方は、前記アドレス信号をデコードして第1の電圧レベルを有するアドレスデコード信号を得るデコーダ回路を更に備え、

前記レベルシフト回路に入力される前記入力信号は前記アドレスデコード信号であって、前記レベルシフト回路は、前記アドレスデコード信号を、前記第1の電圧レベルと異なる第2の電圧レベルに変換する

ことを特徴とする請求項1乃至6いずれか1項記載の半導体記憶装置。

【請求項8】 前記レベルシフト回路に入力される前記入力信号は、第1の電圧レベルを有する前記アドレス信号であって、前記レベルシフト回路は、前記アドレス信号を、前記第1のレベルと異なる第2の電圧レベルに変換し、

前記カラムデコーダと前記第1 ロウデコーダの少なくとも一方は、前記第2の電圧レベルに変換された前記アドレス信号をデコードしてアドレスデコード信号を得るデコーダ回路を更に備える

ことを特徴とする請求項1乃至6いずれか1項記載の半導体記憶装置。

【請求項9】 前記メモリセルは、第3半導体層と、前記第3半導体層上に前記ゲート間絶縁膜を介在して形成された第4半導体層とを含む積層ゲートを備え、電流経路の一端が前記第1 MOS トランジスタの電流経路の一端に接続された第8 MOS トランジスタを更に含み、

前記第1 MOS トランジスタの前記電流経路の他端を共通接続するソース線と

、
同一行にある前記メモリセルの前記第8 MOS トランジスタの前記第4半導体層を共通接続する第2ワード線と、

前記第2ワード線のいずれかを選択する第2ロウデコーダと

を更に備え、前記ビット線は、前記第8 MOS トランジスタの電流経路の他端に接続され、前記第1 MOS トランジスタの前記第1、第2半導体層は電氣的に

接続されている

ことを特徴とする請求項 1 乃至 8 いずれか 1 項記載の半導体記憶装置。

【請求項 10】 前記メモリセルは、第 3 半導体層と、前記第 3 半導体層上に前記ゲート間絶縁膜を介在して形成された第 4 半導体層とを含む積層ゲートを備え、電流経路の一端が前記第 1 MOS トランジスタの電流経路の一端に接続された第 8 MOS トランジスタと、

第 5 半導体層と、前記第 5 半導体層上に前記ゲート間絶縁膜を介在して形成された第 6 半導体層とを含む積層ゲートを備え、電流経路の一端が前記第 8 MOS トランジスタの電流経路の他端に接続された第 9 MOS トランジスタと

を更に含み、

前記第 1 MOS トランジスタの前記電流経路の他端を共通接続するソース線と

、
同一行にある前記第 8 MOS トランジスタの前記第 4 半導体層を共通接続する第 2 ワード線と、

同一行にある前記第 9 MOS トランジスタの前記第 6 半導体層を共通接続する第 3 ワード線と、

前記第 2 ワード線のいずれかを選択する第 2 ロウデコーダと

を更に備え、前記第 1 ロウデコーダは、更に前記第 3 ワード線のいずれかを選択肢、前記ビット線は前記第 9 MOS トランジスタの電流経路の他端に接続され、前記第 1 MOS トランジスタの前記第 1、第 2 半導体層は電氣的に接続され、前記第 9 MOS トランジスタの前記第 5、第 6 半導体層は電氣的に接続されている

ことを特徴とする請求項 1 乃至 8 いずれか 1 項記載の半導体記憶装置。

【請求項 11】 前記メモリセルは、第 3 半導体層と、前記第 3 半導体層上に前記ゲート間絶縁膜を介在して形成された第 4 半導体層とを含む積層ゲートを備える第 8 MOS トランジスタと、

前記第 1 MOS トランジスタの電流経路の一端と前記第 8 MOS トランジスタの電流経路の一端との間に直列接続され、第 5 半導体層と、前記第 5 半導体層上に前記ゲート間絶縁膜を介在して形成された第 6 半導体層とを含む積層ゲートを

備える複数の第9 MOS トランジスタと

を更に含み、

前記第1 MOS トランジスタの前記電流経路の他端を共通接続するソース線と

、

同一行にある前記第8 MOS トランジスタの前記第4 半導体層を共通接続する第2 ワード線と、

同一行にある前記第9 MOS トランジスタの前記第6 半導体層を共通接続する第3 ワード線と、

前記第3 ワード線のいずれかを選択する第2 ロウデコーダと

を更に備え、前記第1 ロウデコーダは、更に前記第2 ワード線のいずれかを選択し、前記ビット線は前記第8 MOS トランジスタの電流経路の他端に接続され、前記第1 MOS トランジスタの前記第1、第2 半導体層は電氣的に接続され、前記第8 MOS トランジスタの前記第3、第4 半導体層は電氣的に接続されている

ことを特徴とする請求項1乃至8いずれか1項記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関する。例えば、フローティングゲートとコントロールゲートとを有するMOS トランジスタを含む不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

従来から、不揮発性半導体メモリとして、NOR型フラッシュメモリやNAND型フラッシュメモリが知られており、広く使用されている。

【0003】

近年では、NOR型フラッシュメモリとNAND型フラッシュメモリの両者の長所を兼ね備えたフラッシュメモリが提案されている（例えば非特許文献1参照）。このフラッシュメモリは、2つのMOS トランジスタを含むメモリセルを備

えている。このようなメモリセルにおいては、不揮発性記憶部として機能する一方のMOSトランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有し、ビット線に接続されている。他方のMOSトランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0004】

【非特許文献1】

Wei-Hua Liu 著、"A 2-Transistor Source-select (2TS) Flash EEPROM for 1.8V-Only Application"、Non-Volatile Semiconductor Memory Workshop 4.1、1997年

【0005】

【発明が解決しようとする課題】

上記従来のフラッシュメモリであると、アドレス信号でデコードして得たアドレスデコード信号は、レベルシフト回路により所定の電位に昇圧した後に、セレクトゲート線に与えられる。しかし、従来のフラッシュメモリにおけるレベルシフト回路は動作速度が遅く、その結果、フラッシュメモリの動作速度が遅くなるという問題があった。

【0006】

この発明は、上記事情に鑑みてなされたもので、その目的は、動作速度を向上できる半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】

この発明の一態様に係る半導体記憶装置は、第1半導体層と、前記第1半導体層上にゲート間絶縁膜を介在して形成された第2半導体層とを含む積層ゲートを備える第1MOSトランジスタを有するメモリセルがマトリクス状に配置されたメモリセルアレイと、同一列にある前記第1MOSトランジスタの前記電流経路の一端を電氣的に共通接続するビット線と、同一行にある前記第1MOSトランジスタの第2半導体層を共通接続する第1ワード線と、前記ビット線のいずれかを選択するカラムセクタと、前記カラムセクタを制御するカラムデコードと、前記第1ワード線のいずれかを選択する第1ロウデコードとを具備し、前記カ

ラムデコーダと前記第1ロウデコーダの少なくとも一方は、電源電位に電氣的に接続された電流経路の一端を有する第2、第3MOSトランジスタと、ゲートにアドレス信号に関連した入力信号が入力され、電流経路の一端が前記第2MOSトランジスタの電流経路の他端及び前記第3MOSトランジスタのゲートに接続され、電流経路の他端が接地電位に電氣的に接続された第4MOSトランジスタと、ゲートに前記入力信号の反転信号が入力され、電流経路の一端が前記第3MOSトランジスタの電流経路の他端及び前記第2MOSトランジスタのゲートに接続され、電流経路の他端が接地電位に電氣的に接続され、前記電流経路の一端が前記ビット線または前記第1ワード線に電氣的に接続された第5MOSトランジスタと、前記入力信号に応答して、前記第2、第3MOSトランジスタへの前記電源電位の供給を制御する第1スイッチ素子とを含むレベルシフト回路を備えることを特徴としている。

【0008】

上記構成の半導体記憶装置によれば、レベルシフト回路は、第2、第3MOSトランジスタへの電源電位の供給を制御する第1スイッチ素子を備えている。従って、入力信号が遷移した際、第1スイッチ素子によって第2MOSトランジスタへの電源の供給を停止することで、第2、第4MOSトランジスタの接続ノードの電位が速やかに決定される。その結果、第3MOSトランジスタの状態も速やかに決まり、ビット線または第1ワード線に与えられる電位が速やかに決まる。よって、半導体記憶装置の動作速度を向上できる。

【0009】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0010】

この発明の第1の実施形態に係る半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るフラッシュメモリのブロック図である。

【0011】

図示するように、フラッシュメモリ10は、メモリセルアレイ11、カラムセ

レクタ12、カラムデコーダ13、センスアンプ14、書き込み回路15、第1ロウデコーダ16、第2ロウデコーダ17、及びソース線ドライバ18を備えている。

【0012】

メモリセルアレイ11は、マトリクス状に配置された複数個 ($(m+1) \times (n+1)$ 個、但し m 、 n は自然数) のメモリセルMCを有している。メモリセルMCの各々は、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを有する積層ゲート構造を備えている。フローティングゲートは、各メモリセルトランジスタMT毎に分離されている。選択トランジスタSTも、メモリセルトランジスタMTと同様に、フローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを有する積層ゲート構造を備えている。しかしメモリセルトランジスタと異なり、同一行の選択トランジスタSTのフローティングゲートは共通接続され、且つフローティングゲートと制御ゲートとは電氣的に接続されている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。

【0013】

同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL0～WLmのいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタSTの制御ゲートは、セレクトゲート線SG0～SGmのいずれかに接続されている。また、同一列にあるメモリセルMCのメモリセルトランジスタMTのドレインは、ビット線BL0～BLnのいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースはソース線SLに共通接続され、ソース線ドライバ18に接続されている。

【0014】

カラムセクタ12は、 $(n+1)$ 個のカラム選択トランジスタ $CST_0 \sim CST_n$ を備えている。カラム選択トランジスタ $CST_0 \sim CST_n$ の電流経路の一端は、それぞれビット線 $BL_0 \sim BL_n$ に接続され、他端はセンスアンプ14及び書き込み回路15に接続されている。またカラム選択トランジスタ $CST_0 \sim CST_n$ のゲートは、それぞれカラム選択線 $CSL_0 \sim CSL_n$ に接続されている。

【0015】

カラムデコーダ13は、カラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。そして、カラムアドレスデコード信号に基づいて、カラム選択線 $CSL_0 \sim CSL_n$ のいずれかを選択する。

【0016】

第1、第2ロウデコーダ16、17は、ロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。そして、第1ロウデコーダ16は、書き込み時においてワード線 $WL_0 \sim WL_m$ のいずれかを選択する。第2ロウデコーダ17は、読み出し時において、セレクトゲート線 $SG_0 \sim SG_m$ のいずれかを選択する。

【0017】

センスアンプ14は、第2ロウデコーダ17並びにカラムデコーダ13及びカラムセクタ12によって選択されたメモリセルMCから読み出したデータを増幅する。

【0018】

書き込み回路15は、外部より入力された書き込みデータを保持する。そして、書き込みデータに応じた電圧をビット線に供給する。

【0019】

ソース線ドライバ18は、読み出し時において、ソース線SLに電圧を供給する。

【0020】

次に、カラムデコーダ13、第1、第2ロウデコーダ16、17の構成について、図2を用いて説明する。図2は、各デコーダの回路図である。

【0021】

まず、カラムデコーダ13の構成について説明する。カラムデコーダ13は、カラムアドレスデコード回路20及び電圧変換回路21を備えている。カラムアドレスデコード回路20は、電源電圧 V_{cc1} ($=1.35\sim1.65\text{V}$)で動作し、 $(i+1)$ ビットのカラムアドレス信号 $CA_0\sim CA_i$ をデコードしてカラムアドレスデコード信号を得る。カラムアドレスデコード回路20は、カラム選択線 $CSL_0\sim CSL_n$ 毎に設けられたNAND回路22及びインバータ23を有している。NAND回路22は、カラムアドレス信号 $CA_0\sim CA_i$ の各ビットのNAND演算を行う。そして、インバータ23がNAND演算結果を反転して、カラムアドレスデコード信号として出力する。

【0022】

電圧変換回路21は、電源電圧 V_{cc2} ($=2.7\sim3.6\text{V}$)で動作し、 V_{cc1} レベルのカラムアドレスデコード信号を V_{cc2} レベルに変換する。電圧変換回路21は、カラム選択線 $CSL_0\sim CSL_n$ 毎に設けられたレベルシフト回路24及びインバータ25を備えている。レベルシフト回路24は、カラムアドレスデコード信号の電圧レベルを V_{cc2} レベルに変換する。またインバータ25は、レベルシフト回路24の出力を反転する。そして、インバータ25の出力が、カラム選択線 $CSL_0\sim CSL_n$ にカラム選択信号として与えられる。

【0023】

次に第2ロウデコーダ17の構成について説明する。第2ロウデコーダ17の構成は、カラムデコーダ13とほぼ同様である。すなわち、第2ロウデコーダ17は、ロウアドレスデコード回路26及び電圧変換回路27を備えている。ロウアドレスデコード回路26は、電源電圧 V_{cc1} ($=1.35\sim1.65\text{V}$)で動作し、 $(j+1)$ ビットのロウアドレス信号 $RA_0\sim RA_j$ をデコードしてロウアドレスデコード信号を得る。ロウアドレスデコード回路26は、セレクトゲート線 $SG_0\sim SG_m$ 毎に設けられたNAND回路28及びインバータ29を有している。NAND回路28は、ロウアドレス信号 $RA_0\sim RA_j$ の各ビットのNAND演算を行う。そして、インバータ29がNAND演算結果を反転して、ロウアドレスデコード信号として出力する。

【0024】

電圧変換回路27は、電源電圧 V_{cc2} ($=2.7\sim3.6\text{ V}$)で動作し、 V_{cc1} レベルのロウアドレスデコード信号を V_{cc2} レベルに変換する。電圧変換回路27は、セレクトゲート線 $SG0\sim SGm$ 毎に設けられたレベルシフト回路30及びインバータ31を備えている。レベルシフト回路30は、ロウアドレスデコード信号の電圧レベルを V_{cc2} レベルに変換する。またインバータ31は、レベルシフト回路30の出力を反転する。そして、インバータ31の出力が、セレクトゲート線 $SG0\sim SGm$ に与えられる。

【0025】

次に第1ロウデコーダ16の構成について説明する。第1ロウデコーダ16の構成は、カラムアドレスデコード回路20及びロウアドレスデコード回路26とほぼ同様である。第1ロウデコーダ16は、電源電圧 V_{pp} ($=10\text{ V}$)、 V_{BB} ($=-6\text{ V}$)で動作し、 $(j+1)$ ビットのロウアドレス信号 $RA0\sim RAj$ をデコードしてロウアドレスデコード信号を得る。このロウアドレスデコード信号が、ワード線 $WL0\sim WLn$ に与えられる。第1ロウデコーダ16は、ワード線 $WL0\sim WLn$ 毎に設けられたNAND回路32及びインバータ33を有している。NAND回路32は、ロウアドレス信号 $RA0\sim RAj$ の各ビットのNAND演算を行う。そして、インバータ33がNAND演算結果を反転して、ロウアドレスデコード信号として出力する。

【0026】

なお、第1ロウデコーダ16に入力されるロウアドレス信号の電位は、 V_{cc1} レベルから V_{pp} レベルまたは V_{BB} レベルに変換されている。ロウアドレス信号 $RA0\sim RAj$ の電位を変換するのが、電圧変換回路19である。電圧変換回路19は、電源電圧 V_{pp} または V_{BB} で動作し、 V_{cc1} レベルのロウアドレス信号 $RA0\sim RAj$ を V_{pp} レベルまたは V_{BB} レベルに変換する。電圧変換回路19は、ロウアドレス信号 $RA0\sim RAj$ の各ビット ($(j+1)$ ビット) 毎に設けられたレベルシフト回路34及びインバータ35を有している。レベルシフト回路34は、ロウアドレス信号の電圧レベルを V_{pp} レベルまたは V_{BB} レベルに変換する。またインバータ35は、レベルシフト回路34の出力を反転する。そして、イン

バータ 35 の出力が、第 1 ロウデコーダ 16 に与えられる。

【0027】

すなわち、カラムデコーダ 13 及び第 2 ロウデコーダ 17 は、まずカラムアドレス信号及びロウアドレス信号をデコードしている。そして、その後にカラムアドレスデコード信号及びロウアドレスデコード信号の電圧レベルを V_{cc1} レベルから V_{cc2} レベルに変換している。他方、第 1 ロウデコーダ 16 においては、まずロウアドレス信号の電圧レベルを V_{cc1} レベルから V_{pp} または V_{BB} レベルに変換する。そして、その後に V_{pp} 、 V_{BB} レベルのロウアドレス信号をデコードしてロウアドレスデコード信号を得ている。

【0028】

次に、電圧変換回路 21、27 に含まれるレベルシフト回路 24、30 の構成について、図 3 を用いて説明する。図 3 は、レベルシフト回路 24、30 の回路図である。

【0029】

図示するように、レベルシフト回路 24、30 は、2 つの n チャネル MOS トランジスタ 40、41、4 つの p チャネル MOS トランジスタ 42～45、及び 2 つのインバータ 46、47 を備えている。n チャネル MOS トランジスタ 40 は、ソースが接地され、ドレインがノード B1 に接続され、ゲートに入力信号 I_N が入力される。勿論、入力信号 I_N は、カラムアドレスデコード回路 20 及びロウアドレスデコード回路 26 で得られた、 V_{cc1} レベルのカラムアドレスデコード信号及びロウアドレスデコード信号である。n チャネル MOS トランジスタ 41 は、ソースが接地され、ドレインがノード C1 に接続され、ゲートに、インバータ 46 で反転された入力信号 I_N が入力される。p チャネル MOS トランジスタ 42 は、ドレインがノード B1 に接続され、ゲートがノード C1 に接続されている。p チャネル MOS トランジスタ 43 は、ドレインがノード C1 に接続され、ゲートがノード B1 に接続されている。p チャネル MOS トランジスタ 44 は、ソースが電源電位 V_{cc2} に接続され、ドレインが p チャネル MOS トランジスタ 42 のソースに接続され、ゲートに入力信号 I_N が入力される。p チャネル MOS トランジスタ 45 は、ソースが電源電位 V_{cc2} に接続され、ドレインが

pチャネルMOSトランジスタ43のソースに接続され、ゲートに反転入力信号／INが入力される。そして、ノードC1における信号が、インバータ47で反転されて、出力信号OUTとして出力される。

【0030】

次に、上記構成のレベルシフト回路の動作について、第2ロウデコーダ17におけるセレクトゲート線SG0に対応したレベルシフト回路30の場合を例に挙げて、図4を用いて説明する。図4は、入力信号IN（ロウアドレスデコード信号）、並びにノードA1（反転入力信号／IN）、ノードB1、及びノードC1における信号の電位のタイムチャートである。

【0031】

読み出し時において、セレクトゲート線SG0に対応するロウアドレス信号RA0～RAjが外部から入力されたと仮定する。すると、ロウアドレスデコード信号は“H”レベル（Vcc1）となる（時刻t1）。また同時に、反転入力信号／IN（ノードA1の電位）は“L”レベルとなる。すると、nチャネルMOSトランジスタ40はオン状態、nチャネルMOSトランジスタ41はオフ状態となる。また同時にpチャネルMOSトランジスタ44はオフ状態、pチャネルMOSトランジスタ45はほぼオン状態となる。pチャネルMOSトランジスタ45は、Vcc2レベルで動作する。しかし、反転入力信号／INはVcc2レベルより小さいVcc1レベルの信号であるので、pチャネルMOSトランジスタ45は完全にはオン状態では無い。その結果、ノードB1の電位は“L”レベル（接地電位）となる。ノードB1の電位が“L”レベルとなることにより、pチャネルMOSトランジスタ43がオン状態となる。その結果、ノードC1は“H”レベル（Vcc2）となる（時刻t2）。すなわち、ロウアドレスデコード信号（入力信号IN）の電位は、Vcc1からVcc2に変換される。そして、ノードC1における電位は、インバータ47、31で反転されて、セレクトゲート線SG0に与えられる。

【0032】

なお、カラムデコーダ13におけるレベルシフト回路24の動作も、ロウアドレスデコード信号がカラムアドレスデコード信号に代わる以外は、上記第2ロウ

デコーダ 17 の場合と同様である。また、電圧変換回路 19 におけるレベルシフト回路 34 も、図 3 と同様の構成とすることが出来、同様の動作を行うことが出来る。

【0033】

次に、上記構成のフラッシュメモリの動作について説明する。

＜書き込み動作＞

データの書き込みにおいては、メモリセルトランジスタ MT のフローティングゲートに電子を注入するか否かで “0” データ、“1” データを書き分ける。電子のフローティングゲートへの注入は、Fowler-Nordheim (FN) tunneling によって行われる。

【0034】

以下、書き込み動作の詳細について、図 1 を用いて説明する。

まず、図 1 において、図示せぬ I/O 端子から書き込みデータ (“1”、“0”) が入力される。そして、該書き込みデータが、書き込み回路 15 に入力される。書き込むべきデータが “1” の場合、書き込み回路 15 はビット線に 0 V を与える。逆に、書き込むべきデータが “0” の場合、書き込み回路 15 はビット線に VBB (−6 V) を与える。

【0035】

また、カラムデコーダ 13 は、カラムアドレス信号 CA0 ~ CAi に応じて、いずれかのカラム選択線 CSL0 ~ CSLn を選択する。そしてカラムデコーダ 13 は、Vcc2 を選択カラム選択線に与える。その結果、ビット線 BL0 ~ BLn と書き込み回路 15 とが接続される。

【0036】

そして、第 1 ロウデコーダ 16 が、ロウアドレス信号 RA0 ~ RAj に応じて、ワード線 WL0 ~ WLn のいずれかを選択する。そして第 1 ロウデコーダ 16 は、Vpp (例えば 10 V) を、選択ワード線に与える。また、第 2 ロウデコーダ 17 は、セレクトゲート線 SG0 ~ SGm に “L” レベルを与える。またメモリセルの基板も VBB (−6 V) とする。従って、全ての選択トランジスタ ST はオフ状態となる。従って、選択トランジスタ ST とソース線 SL とは電氣的に分離

される。

【0037】

上記の結果、“1”データまたは“0”データに対応する電位が、ビット線BL₀～BL_nを介してメモリセルトランジスタMTのドレイン領域に与えられる。すると、選択ワード線WLにはV_{pp}（10V）が印加され、“1”データを書き込むべきメモリセルトランジスタMTのドレイン領域には0Vが印加され、“0”データを書き込むべきメモリセルトランジスタMTのドレイン領域にはV_{BB}（-6V）が印加される。従って、“1”データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差（10V）が十分ではないので、フローティングゲートに電子は注入されず、メモリセルトランジスタMTは負の閾値を保持する。他方、“0”データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差（16V）が大きいので、フローティングゲートに電子がF N tunnelingによって注入される。その結果、メモリセルトランジスタMTの閾値は正に変化する。

【0038】

<読み出し動作>

次に、読み出し動作の詳細について、図1を用いて説明する。

まず図1において、第2ロウデコーダ17が、ロウアドレス信号RA₀～RA_jに応じて、セレクトゲート線SG₀～SG_mのいずれかを選択する。選択セレクトゲート線には、“H”レベル（例えばV_{cc2}）が与えられる。非選択セレクトゲート線は全て“L”レベル（例えば0V）である。従って、選択セレクトゲート線に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線に接続された選択トランジスタSTはオフ状態となる。従って、選択メモリセル内の選択トランジスタSTは、ソース線SLと電氣的に接続される。また第1ロウデコーダ16は、全てのワード線WL₀～WL_mを“L”レベル（0V）とする。また、ソース線ドライバ18は、ソース線SLの電位を0Vとする。

【0039】

また、カラムデコーダ13は、カラムアドレス信号CA₀～CA_iに応じて、いずれかのカラム選択線CSL₀～CSL_nを選択する。そしてカラムデコーダ

13は、Vcc2を選択カラム選択線に与える。その結果、ビット線BL0～BLnとセンスアンプ14とが接続される。

【0040】

そして、ビット線BL0～BLnに、例えば1V程度の電圧が与えられる。すると、“1”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセルMCでは、ビット線からメモリセルトランジスタMT及び選択トランジスタSTの電流経路を介して、ソース線SLに向かって電流が流れる。他方、“0”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が正であるから、オフ状態である。従って、ビット線からソース線に向かって電流は流れない。

【0041】

以上の結果、ビット線BL0～BLnの電位が変化し、その変化量をセンスアンプ14が増幅することによって読み出し動作が行われる。

【0042】

<消去動作>

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。従って、図1の例であると、メモリセルアレイ11に含まれる全てのメモリセルが同時に消去される。

【0043】

図1において、第1ロウデコーダ16は、VBB(−6V)を、全てのワード線WL0～WLmに与える。また、半導体基板(ウェル領域)の電位はVpp(10V)とされる。その結果、メモリセルMCのメモリセルトランジスタのフローティングゲートから電子がFN tunnelingによって半導体基板に引き抜かれる。その結果、全てのメモリセルMCの閾値電圧が負となり、データが消去される。

【0044】

なお、各デコーダ13、16、17が、カラム選択線CSL0～CSLn、ワード線WL0～WLm、及びセレクトゲート線SGS0～SGSmを選択する際のレベルシフト回路24、30、34の動作は、図3、図4を用いて説明した通

りである。

【0045】

上記のように、この発明の第1の実施形態に係るフラッシュメモリであると、以下の効果が得られる。

【0046】

(1) フラッシュメモリの動作速度を向上できる。

図3に示すように、本実施形態に係るフラッシュメモリが備えるレベルシフト回路24、30、34は、pチャネルMOSトランジスタ44、45を有している。そして、ロウアドレスデコード信号またはカラムアドレスデコード信号が“H”レベルになった際には、pチャネルMOSトランジスタ44、45はそれぞれオフ状態、オン状態となる。すると、pチャネルMOSトランジスタ42が電源電位 V_{cc2} から分離される結果、ロウアドレスデコード信号またはカラムアドレスデコード信号の V_{cc1} レベルから V_{cc2} レベルへの変換時間($\Delta t1$)を短縮化出来る。よって、フラッシュメモリの動作速度が向上する。

【0047】

この点について、図5に示すレベルシフト回路と比較しつつ以下説明する。図5は、図3に示す構成において、pチャネルMOSトランジスタ44、45を廃した場合のレベルシフト回路の回路図である。すなわち、pチャネルMOSトランジスタ42、43のソースは、電源電位 V_{cc2} に直接接続されている。上記構成のレベルシフト回路の動作について、図6を用いて説明する。図6は、入力信号IN（ロウアドレスデコード信号またはカラムアドレスデコード信号）、並びにノードA2（反転入力信号／IN）、ノードB2、及びノードC2における信号の電位のタイムチャートである。

【0048】

図示するように、時刻 $t1$ においてロウアドレスデコード信号またはカラムアドレスデコード信号が“H”レベルになったと仮定する。すると、反転入力信号／IN（ノードA1の電位）は“L”レベルとなる。ここで問題となるのが、ノードB1の電位である。時刻 $t1$ 以前では、入力信号INは“L”レベルであるので、nチャネルMOSトランジスタ41がオン状態、pチャネルMOSトラン

ジスタ 42 がオン状態である。従って、ノード B1 の電位は “H” レベルである (V_{cc2})。

【0049】

そして、時刻 t_1 でノード A1 の電位は “L” レベルになるから、n チャンネル MOS トランジスタ 41 はオフ状態となる。すると、n チャンネル MOS トランジスタ 41 がオフ状態になった瞬間に、ノード C1 は “L” レベルでフローティング状態となる。従って、時刻 t_1 以後も p チャンネル MOS トランジスタ 42 はオン状態を維持し、ドレイン電流を流し続ける。他方、入力信号 I_N が “H” レベルになることで、n チャンネル MOS トランジスタ 40 はオン状態となる。従って、n チャンネル MOS トランジスタ 40 はドレイン電流を流し始める。すなわち、ノード B1 の電位は、p チャンネル MOS トランジスタ 42 によって V_{cc2} を維持しようとすると共に、n チャンネル MOS トランジスタ 40 によって接地電位に移行しようとする。その結果、ノード B1 の電位は、“H” レベル (V_{cc2}) から徐々に低下し始める。すなわち、p チャンネル MOS トランジスタ 43 のゲート電位が下がり始める。従って、p チャンネル MOS トランジスタ 43 が徐々にオン状態へと移行する。すると、ノード C1 の電位が V_{cc2} に向かって上昇し始めるから、p チャンネル MOS トランジスタ 42 はオフ状態へと変化し始める。p チャンネル MOS トランジスタ 42 がオフ状態へと移行し始めることで、ノード B1 の電位は接地電位に近づいていく。そして、最終的にはノード B1 の電位は接地電位に落ち着き、p チャンネル MOS トランジスタ 43 がオン状態となる。またノード C1 の電位は V_{cc2} に落ち着き、p チャンネル MOS トランジスタ 42 はオフ状態となる。

【0050】

以上のように、図 5 に示す構成であると、ロウアドレスデコード信号及びカラムアドレスデコード信号の電位を V_{cc1} レベルから V_{cc2} レベルに変換するのに非常に長い時間がかかる ($\Delta t_2 \gg \Delta t_1$)。これは、ロウアドレスデコード信号及びカラムアドレスデコード信号が “H” レベルに変化してから、ノード B1 の電位が決まるまでに、長い時間を要するからである。これは、ロウアドレスデコード信号及びカラムアドレスデコード信号が “H” レベルに変化した後も、

pチャネルMOSトランジスタ42がオン状態をとり続けることに起因する。すなわち、nチャネルMOSトランジスタ40がオン状態になっても、pチャネルMOSトランジスタ42がオン状態であるため、ノードB1の電位は直ちに接地電位に決まることが出来ず、pチャネルMOSトランジスタ42がオフ状態に移るにつれて、徐々に接地電位へと近づいていく。従って、pチャネルMOSトランジスタ43が完全にオン状態に移行するにも時間がかかる。すると、ノードC1の電位はpチャネルMOSトランジスタ43の状態に依存するから、その結果、ノードC1の電位が決定するのに長時間(Δt_2)を要することとなる。

【0051】

これに対して本実施形態に係る構成であると、pチャネルMOSトランジスタ44、45が、それぞれpチャネルMOSトランジスタ42、43のソースと電源電位との間に設けられている。そして、pチャネルMOSトランジスタ44、45のゲートには、それぞれ入力信号IN、反転入力信号 $\overline{\text{IN}}$ が入力される。すると、ロウアドレスデコード信号及びカラムアドレス信号が“H”レベルに変化し、nチャネルMOSトランジスタ40、41がそれぞれオン状態、オフ状態に変化すると、同時にpチャネルMOSトランジスタ44、45がそれぞれオフ状態、オン状態となる。従って、ロウアドレスデコード信号及びカラムアドレス信号が“H”レベルに変化した瞬間、ノードC1は“L”レベルであるが、pチャネルMOSトランジスタ42はドレイン電流を流さない。なぜなら、pチャネルMOSトランジスタ44がオフ状態なので、pチャネルMOSトランジスタ40のソースは電源電位から切り離されているからである。従って、ノードB1はnチャネルMOSトランジスタ40にのみ依存し、pチャネルMOSトランジスタ42の影響を受けない。その結果、ノードB1は速やかに“L”レベル（接地電位）となる。ノードB1が速やかに“L”レベルに変化することで、pチャネルMOSトランジスタ43も速やかにオン状態へと変化する。すると、pチャネルMOSトランジスタ45はオン状態にあるため、ノードC1の電位は“H”レベル(V_{cc2})に速やかに変化する。

【0052】

以上の結果、ロウアドレスデコード信号またはカラムアドレスデコード信号の

Vcc1 レベルから Vcc2 レベルへの変換時間を短縮化出来る。よって、読み出し、書き込み時において、ワード線、セレクトゲート線、カラム選択線の選択動作が高速化され、フラッシュメモリの動作速度を向上させることが出来る。

【0053】

次に、この発明の第2の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第1の実施形態において、レベルシフト回路における p チャネル MOS トランジスタ 44、45 のゲート電位を、キャパシタ素子のカップリングによって制御するものである。従って、レベルシフト回路以外の構成は、上記第1の実施形態と同様であるので説明は省略する。図19は、本実施形態に係るフラッシュメモリの備えるレベルシフト回路24、30の回路図である。

【0054】

図示するように、本実施形態に係るレベルシフト回路24、30は、上記第1の実施形態で説明した図3の構成において、2つのキャパシタ素子48、49を設けたものである。キャパシタ素子48の一方電極は p チャネル MOS トランジスタ44のゲートに接続され、他方電極には入力信号 IN が入力される。またキャパシタ素子49の一方電極は p チャネル MOS トランジスタ45のゲートに接続され、他方電極には反転入力信号 / IN が入力される。

【0055】

上記構成のレベルシフト回路の動作は、上記第1の実施形態と同様である。異なる点は、p チャネル MOS トランジスタ44、45のゲート電位が、それぞれキャパシタ素子48、49のカップリングによって制御される点のみである。ロウアドレスデコード信号及びカラムでコード信号が“H”レベルに変化すると、p チャネル MOS トランジスタ44のゲート電位はキャパシタ素子48のカップリングによって上昇する。また p チャネル MOS トランジスタ45のゲート電位はキャパシタ素子49のカップリングによって下降する。その結果、p チャネル MOS トランジスタ44、45はそれぞれオフ状態、オン状態となる。

【0056】

なお、電圧変換回路19におけるレベルシフト回路34も、図7と同様の構成とすることが出来、同様の動作を行うことが出来る。

【0057】

上記のような構成によっても、上記第1の実施形態で説明した(1)の効果が得られる。

【0058】

図8は、上記第2の実施形態の変形例に係るレベルシフト回路の回路図である。図7に示す回路構成であると、pチャネルMOSトランジスタ44、45のゲート電位はフローティング状態である。従って、図8に示すように、充電回路を設けることで、pチャネルMOSトランジスタ44、45の電位を安定化させることが望ましい。図示するように、充電回路は、遅延回路50及び金属配線を備えている。遅延回路50は、直列接続された2つのインバータ51、52を有している。インバータ51の入力ノードには、入力信号INが入力され、インバータ52の出力がnチャネルMOSトランジスタ40のゲート及びインバータ46に入力される。また、金属配線は、インバータ51の入力ノードとpチャネルMOSトランジスタ44のゲートとを接続し、更にインバータ52の入力ノードとpチャネルMOSトランジスタ45のゲートとを接続している。

【0059】

本変形例に係る構成であると、上記(1)の効果に加えて、下記(2)の効果を達成することが出来る。

【0060】

(2) レベルシフト回路を破壊から効果的に保護できる。

キャパシタ素子44、45が無い場合、pチャネルMOSトランジスタ44、45のゲート電位はフローティング状態である。従って、なんらかの原因により、pチャネルMOSトランジスタ44の電位が例えば V_{cc2} 等の高い電位であった際に、入力信号INが“H”レベルに変化すると、pチャネルMOSトランジスタ44のゲート電位は $V_{cc2} + V_{cc1}$ という高い電位になる。その結果、pチャネルMOSトランジスタ44が破壊される虞がある。

【0061】

本変形例であると、入力信号INは、キャパシタ素子48の他方電極に達するよりも、遅延回路50で発生する遅延時間だけ早く、pチャネルMOSトランジ

スタ44のゲートに達する。すなわち、キャパシタ素子48におけるカップリングでpチャネルMOSトランジスタ44のゲート電位が変化する瞬間には、pチャネルMOSトランジスタ44のゲート電位は既に V_{cc1} に設定されている。

【0062】

従って、キャパシタ素子48のカップリングによってpチャネルMOSトランジスタ44のゲート電位が上昇しても、その電位は常時 $V_{cc1} + V_{cc1}$ 一定である。従って、pチャネルMOSトランジスタ44が破壊されることを抑制できる。勿論、同様のことがpチャネルMOSトランジスタ45についてもあてはまる。また、本変形例は、電圧変換回路19におけるレベルシフト回路34にも適用できることは言うまでもない。

【0063】

次に、この発明の第3の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第1の実施形態において、非動作時にはレベルシフト回路のソースを接地電位から分離するものである。従って、レベルシフト回路以外の構成は、上記第1の実施形態と同様であるので、説明は省略する。図9は、本実施形態に係るフラッシュメモリの備えるレベルシフト回路24、30の回路図である。

【0064】

図示するように、本実施形態に係るレベルシフト回路24、30は、上記第1の実施形態で説明した図3の構成において、nチャネルMOSトランジスタ53、54、及びインバータ55を設けたものである。nチャネルMOSトランジスタ53は、ソースが接地電位に接続され、ドレインがノードB1に接続され、ゲートにスタンバイ信号STBYが入力される。nチャネルMOSトランジスタ54は、ソースが接地電位に接続され、ドレインがnチャネルMOSトランジスタ40、41のソースに接続され、ゲートに、インバータ55で反転されたスタンバイ信号／STBYが入力される。スタンバイ信号は、レベルシフト回路が動作状態にある際には“L”レベルとされ（ネゲートされ）、非動作状態（スタンバイ状態）に有る際には“H”レベルとされる（アサートされる）。

【0065】

上記構成のレベルシフト回路において、動作状態の際には、スタンバイ信号STBYが“L”レベルとされるから、nチャネルMOSトランジスタ53はオフ状態、nチャネルMOSトランジスタ54はオン状態とされている。従って、動作は上記第1の実施形態で説明したとおりである。他方、非動作状態の際には、スタンバイ信号STBYが“H”レベルとされる。従って、nチャネルMOSトランジスタ53がオン状態、nチャネルMOSトランジスタ54がオフ状態とされる。従って、ノードB1は接地電位とされ、またnチャネルMOSトランジスタ40、41のソースはフローティング状態とされる。

【0066】

勿論、本構成が電圧変換回路19におけるレベルシフト回路34にも適用できることは言うまでもない。

【0067】

本実施形態に係るフラッシュメモリであると、上記第1の実施形態で説明した(1)の効果に加えて、下記(3)の効果を得ることが出来る。

【0068】

(3) フラッシュメモリの消費電力を低減できる。

図9に示すように、本実施形態に係るフラッシュメモリが備えるレベルシフト回路24、30、34は、nチャネルMOSトランジスタ40、41のソースと接地電位との間にnチャネルMOSトランジスタ54が設けられている。そして、スタンバイ状態においては、nチャネルMOSトランジスタ54はオフ状態となる。よって、nチャネルMOSトランジスタ54のソースは接地電位から分離される。すなわち、レベルシフト回路24、30、34において、電源電位Vcc2から接地電位に達する電流パスが存在しない。従って、スタンバイ状態において余計な電流がレベルシフト回路を流れることを抑制出来、レベルシフト回路における消費電力を低減でき、ひいてはフラッシュメモリの省電力化に寄与する。

【0069】

図10は、上記第3の実施形態の第1変形例に係るフラッシュメモリの備えるレベルシフト回路の回路図である。本変形例は、上記第3の実施形態を上記第2の実施形態で説明したレベルシフト回路に適用したものである。すなわち、第3

の実施形態で説明した図7の構成において、nチャネルMOSトランジスタ53、54、及びインバータ55を設けたものである。本変形例によっても、(1)、(3)の効果が得られる。

【0070】

図11は、上記第3の実施形態の第2変形例に係るフラッシュメモリの備えるレベルシフト回路の回路図である。本変形例は、上記第3の実施形態を上記第2の実施形態の変形例に適用したものである。すなわち、第3の実施形態の変形例で説明した図8の構成において、nチャネルMOSトランジスタ53、54、及びインバータ55を設けたものである。本変形例によっても、(1)乃至(3)の効果が得られる。

【0071】

なお、本変形例においては、インバータ51の入力ノードと、MOSトランジスタ44のゲートとの間にクロックドインバータ56が接続され、インバータ52の入力ノードと、MOSトランジスタ45のゲートとの間にクロックドインバータ57が接続されている。

【0072】

図12は、クロックドインバータ56、57の回路図である。図示するように、クロックドインバータ56、57は、2つのpチャネルMOSトランジスタ90、91、及び2つのnチャネルMOSトランジスタ92、93を有している。pチャネルMOSトランジスタ90は、ソースが電源電位 V_{cc1} に接続され、ゲートがクロックドインバータの入力ノードIN2に接続されている。pチャネルMOSトランジスタ91は、ソースがpチャネルMOSトランジスタ90のドレインに接続され、ドレインがクロックドインバータの出力ノードOUT2に接続され、ゲートに反転スタンバイ信号/STBYが入力される。nチャネルMOSトランジスタ92は、ソースが出力ノードOUT2に接続され、ゲートにスタンバイ信号STBYが入力されている。nチャネルMOSトランジスタ93は、ソースがnチャネルMOSトランジスタ92のソースに接続され、ドレインが接地電位に接続され、ゲートが入力ノードIN2に接続されている。

【0073】

上記構成において、スタンバイ信号 S T B Y は、前述の通り、レベルシフト回路のキャパシタ 48、49 の一方電極の電位を初期化するための信号である。そして、基本的には電源投入時、あるいは長時間信号が変化しない例えばスリープモードの際に、“H” レベルとされる。

【0074】

スタンバイ信号 S T B Y が “H” レベルの際、クロックドインバータ 56、57 は信号を通過させる。そして、入力信号 I N が “L” レベルの際には、クロックドインバータ 56 の MOS トランジスタ 90～92 がオン状態となり、キャパシタ素子 48 の一方電極は “H” レベル (V_{cc1}) となる。従って、キャパシタ素子 48 の電極間の電位差は V_{cc1} に保持される。また、クロックドインバータ 57 では、MOS トランジスタ 91～93 がオン状態となり、キャパシタ素子 49 の一方電極は “L” レベル (0 V) となる。従って、キャパシタ素子 49 の電極間の電位差も V_{cc1} に保持される。

【0075】

他方、入力信号 I N が “H” レベルの際には、キャパシタ素子 48 の一方電極は “L” レベル (0 V) となり、キャパシタ素子 48 の電極間の電位差は V_{cc1} に保持される。、あたキャパシタ素子 49 の一方電極は “H” レベル (V_{cc1}) となり、キャパシタ素子 49 の電極間の電位差は V_{cc1} に保持される。

【0076】

上記状態で、レベルシフト回路が動作状態となり、スタンバイ信号 S T B Y が “L” レベルにされると、クロックドインバータ 56、57 は非動作状態となる。そして、入力信号 I N が入力されると、p チャネル MOS トランジスタ 44、45 の電位は、 $-V_{cc1} \sim 2 \cdot V_{cc1}$ の間でブートされる。

【0077】

上記のように、非動作状態においてキャパシタ素子 48、49 の電極間電位差を固定しておくことで、レベルシフト回路の動作信頼性を向上できる。

【0078】

上記のように、この発明の第 1 乃至第 3 の実施形態に係る半導体記憶装置であると、2 本の電流経路を有し、一方の電流経路 (図 3 において、 V_{cc2} から n チ

チャネルMOSトランジスタ40のソースに至る経路)の電位(ノードB1)を基に、他方の電流経路(V_{cc2} からnチャネルMOSトランジスタ41のソースに至る経路)に電流を流して電圧(ノードC1)を得るレベルシフト回路において、入力信号がアサートされた際に、一方の電流経路を電源電位 V_{cc2} から分離して、且つ接地電位に接続している。従って、一方の電流経路の電位(ノードB1)が速やかに決定する。その結果、他方の電流経路の電位(ノードC1)も速やかに決定する。そして、上記構成のレベルシフト回路に、ロウアドレスデコード信号及びカラムアドレスデコード信号を入力し、電圧レベルを変換した信号を、ビット線、セレクトゲート線、及びワード線に供給している。従って、フラッシュメモリの動作速度を向上できる。

【0079】

なお、上記第1乃至第3の実施形態では、カラムデコーダ13及び第2ロウデコーダ17が、カラムアドレス信号 $CA_0 \sim CA_i$ 及びロウアドレス信号 $RA_0 \sim RA_j$ をデコードした後、その電圧レベルを V_{cc1} から V_{cc2} に変換する場合を例に挙げて説明した。しかし、第1ロウデコーダ16と同様に、先にカラムアドレス信号 $CA_0 \sim CA_i$ 及びロウアドレス信号 $RA_0 \sim RA_j$ の電圧レベルを V_{cc1} から V_{cc2} に変換しても良い。図13は、上記第1乃至第3の実施形態の第1変形例に係るフラッシュメモリの、特にカラムデコーダ13及び第2ロウデコーダ17の回路図である。

【0080】

図示するように、カラムデコーダ13及び第2ロウデコーダ17の構成は、図2で説明したカラムアドレスデコード回路20及びロウアドレスデコード回路26とほぼ同様である。カラムデコーダ13及び第2ロウデコーダ17は、電源電圧 V_{cc2} で動作する。そして、カラムデコーダ13は、 $(i+1)$ ビットのカラムアドレス信号 $CA_0 \sim CA_i$ をデコードしてカラムアドレスデコード信号を得る。このカラムアドレスデコード信号が、カラム選択線 $CSL_0 \sim CSL_n$ に与えられる。

【0081】

なお、カラムデコーダ13に入力されるカラムアドレス信号及び第2ロウデコ

ーダ 17 に入力されるロウアドレス信号の電位は、 V_{cc1} レベルから V_{cc2} レベルに変換されている。カラムアドレス信号 $CA0 \sim CAi$ 及びロウアドレス信号 $RA0 \sim RAj$ の電位を変換するのが、電圧変換回路 60、61 である。電圧変換回路 60、61 は、電源電圧 V_{cc2} で動作し、 V_{cc1} レベルのカラムアドレス信号 $CA0 \sim CAi$ 及びロウアドレス信号 $RA0 \sim RAj$ を V_{cc2} レベルに変換する。電圧変換回路 60 は、カラムアドレス信号 $CA0 \sim CAi$ の各ビット（（ $i+1$ ）ビット）毎に設けられたレベルシフト回路 62 及びインバータ 63 を有している。レベルシフト回路 62 は、カラムアドレス信号の電圧レベルを V_{cc1} レベルから V_{cc2} レベルに変換する。またインバータ 63 は、レベルシフト回路 62 の出力を反転する。そして、インバータ 63 の出力がカラムデコーダ 13 に与えられる。電圧変換回路 61 は、ロウアドレス信号 $RA0 \sim RAj$ の各ビット（（ $j+1$ ）ビット）毎に設けられたレベルシフト回路 64 及びインバータ 65 を有している。レベルシフト回路 64 は、ロウアドレス信号の電圧レベルを V_{cc1} レベルから V_{cc2} レベルに変換する。またインバータ 65 は、レベルシフト回路 64 の出力を反転する。そして、インバータ 65 の出力が第 2 ロウデコーダ 17 に与えられる。

【0082】

上記のように、カラムデコーダ 13 及び第 2 ロウデコーダ 17 は、まずカラムアドレス信号及びロウアドレス信号の電圧レベルを V_{cc1} レベルから V_{cc2} レベルに変換している。そしてその後に V_{cc2} レベルのカラムアドレス信号及びロウアドレス信号をデコードしても良い。

【0083】

更に、上記第 1 乃至第 3 の実施形態に係るフラッシュメモリのメモリセルアレイにおいては、階層ビット線方式を採用しても良い。図 14 は、第 1 乃至第 3 の実施形態の第 2 変形例に係るフラッシュメモリのブロック図である。

【0084】

図示するように、メモリセルアレイ 11 は、（（ $m+1$ ） \times （ $n+1$ ）、但し m 、 n は自然数）個のメモリセルブロック BLK、メモリセルブロック BLK 毎に設けられたセクタ SEL、及び MOS トランジスタ 66 を有している。なお

、図14では(2×2)個のメモリセルブロックBLKのみを示しているが、この数は特に限定されるものではない。

【0085】

各々のメモリセルブロックには、(4×2)個のメモリセルMCが含まれている。なお、列方向に配置されたメモリセルMCの数は、図1では4個であるが、この数も一例に過ぎず、例えば8個や16個等でも良く、限定されるものではない。そして、2列のメモリセルのメモリセルトランジスタMTのドレイン領域は、2本のローカルビット線LBL0、LBL1にそれぞれ接続されている。ローカルビット線LBL0、LBL1の一端はセクタSELに接続され、他端はMOSトランジスタ71の電流経路を介して、第1ロウデコーダ16に接続されている。

【0086】

次にセクタSELの構成について説明する。セクタSELの各々は、直列接続された4つのMOSトランジスタ67～70を備えている。すなわち、MOSトランジスタ67の電流経路の一端がMOSトランジスタ68の電流経路の一端に接続され、MOSトランジスタ68の電流経路の他端がMOSトランジスタ69の電流経路の一端に接続され、MOSトランジスタ69の電流経路の他端がMOSトランジスタ70の電流経路の一端に接続されている。MOSトランジスタ67、70のゲートは、第1ロウデコーダ16に接続され、MOSトランジスタ68、69のゲートは、カラムデコーダ13に接続されている。そして、MOSトランジスタ67とMOSトランジスタ68との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL0が接続され、MOSトランジスタ69とMOSトランジスタ70との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL1が接続されている。更に、セクタSELのMOSトランジスタ67、70の他端は、書き込み用グローバルビット線WGBL0～WGBL(2n-1)のいずれかに接続されている。書き込み用グローバルビット線WGBL0～WGBL(2n-1)のそれぞれは、同一列にあるセクタSELのMOSトランジスタ67またはMOSトランジスタ70の電流経路の他端を共通接続する。そして、書き込み用グローバルビット線WGBL0

～WGBL ($2n-1$) の一端は、書き込み用グローバルビット線毎に設けられた書き込み回路 15 に接続されている。また、MOS トランジスタ 68 と MOS トランジスタ 69 の接続ノードには、読み出し用グローバルビット線 RGBL 0 ～ RGBL ($n-1$) が接続されている。読み出し用グローバルビット線 RGBL 0 ～ RGBL ($n-1$) のそれぞれは、同一列にあるセクタ SEL における MOS トランジスタ 68 と MOS トランジスタ 69 との接続ノードを共通接続する。そして、読み出し用グローバルビット線 RGBL 0 ～ RGBL ($n-1$) の一端は、それぞれ MOS トランジスタ 66 の電流経路を介してセンスアンプ 14 に接続されている。各 MOS トランジスタ 66 のゲートは共通接続され、第 1 ロウデコーダ 16 に接続されている。

【0087】

第 1 ロウデコーダ 16 は、書き込み時において、ワード線 WL 0 ～ WL ($4m-1$) のいずれかを選択し、選択したワード線に電圧を供給する。また、セクタ SEL 内の MOS トランジスタ 67、70 のゲートに電圧を供給する。更に、MOS トランジスタ 71 のゲート、及びローカルビット線の共通接続ノードに電圧を供給する。

【0088】

カラムデコーダ 13 は、読み出し時において、セクタ SEL 内の MOS トランジスタ 68、69 のいずれかを選択し、選択した MOS トランジスタのゲートに電圧を供給する。

【0089】

上記のように、階層ビット線構造を採用することで、フラッシュメモリの動作速度を向上できる。そして、本構成におけるカラムデコーダ 13 及び第 1、第 2 ロウデコーダ 16、17 においても、この発明の第 1 乃至第 3 の実施形態で説明した構成を用いることが出来る。

【0090】

また、上記第 1 乃至第 3 の実施形態では、選択トランジスタ ST とメモリセルトランジスタ MT の 2 つのトランジスタを含むメモリセルを有するフラッシュメモリの場合を例に挙げて説明した。しかし、上記実施形態は、NAND 型フラッ

シュメモリに適用することも出来る。図15は、第1乃至第3の実施形態の第3変形例に係るフラッシュメモリのブロック図であり、NAND型フラッシュメモリについて示している。

【0091】

図示するように、メモリセルアレイ11は、複数のNANDセルを備えている。NANDセルは、2つの選択トランジスタST1、ST2と、複数個のメモリセルトランジスタMTを有している。図15では、8個のメモリセルトランジスタの場合を例に挙げて説明したが、その数は16個や32個でも良く、限定されるものではない。複数個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に直列接続されている。そして、同一列にある選択トランジスタST1のドレイン領域がビット線に共通接続され、選択トランジスタST2のソース領域がソース線に接続されている。メモリセルトランジスタMT及び選択トランジスタST1、ST2は、半導体基板上にゲート絶縁膜を介在して形成された積層ゲートを有している。積層ゲートは、ゲート絶縁膜上に形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んでいる。そして、メモリセルトランジスタMTにおいては、フローティングゲートはトランジスタ毎に分離され、選択トランジスタST1、ST2においては、ワード線方向で隣接するもの同士で共通接続されている。また選択トランジスタST1、ST2においては、フローティングゲートと制御ゲートとが電氣的に接続されている。そして、同一行にあるメモリセルトランジスタMTの制御ゲートはワード線に共通接続され、同一行にある選択トランジスタST1、ST2の制御ゲートは、それぞれセレクトゲート線SGD、SGSに共通接続されている。その他の構成は、上記第1乃至第3の実施形態と同様である。

【0092】

上記のようなNAND型フラッシュメモリの場合であっても、上記第1乃至第3の実施形態が適用可能である。すなわち、カラムデコーダ13及び第1、第2 rowデコーダ16、17に含まれるレベルシフト回路を、図3、図7、図9乃至図11に示す構成にすることが出来る。

【0093】

更に、上記実施形態は、2つの選択トランジスタST1、ST2、及び1つのメモリセルトランジスタMTの3つのトランジスタを含むメモリセルを有するフラッシュメモリの場合にも適用できる。図16は、第1乃至第3の実施形態の第4変形例に係るフラッシュメモリのブロック図である。

【0094】

図示するように、メモリセルアレイ11は、マトリクス状に配置された複数のメモリセルMCを備えている。メモリセルは、2つの選択トランジスタST1、ST2及び1つのメモリセルトランジスタMTを有している。そして、3つのトランジスタは、2つの選択トランジスタST1、ST2が、メモリセルトランジスタMTを挟むようにして、直列接続されている。同一列にある選択トランジスタST1のドレイン領域はビット線に共通接続され、選択トランジスタST2のソース領域はソース線に接続されている。メモリセルトランジスタMT及び選択トランジスタST1、ST2は、半導体基板上にゲート絶縁膜を介在して形成された積層ゲートを有している。積層ゲートは、ゲート絶縁膜上に形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んでいる。そして、メモリセルトランジスタMTにおいては、フローティングゲートはトランジスタ毎に分離され、選択トランジスタST1、ST2においては、ワード線方向で隣接するもの同士で共通接続されている。また選択トランジスタST1、ST2においては、フローティングゲートと制御ゲートとが電氣的に接続されている。同一行にあるメモリセルトランジスタMTの制御ゲートはワード線に共通接続され、同一行にある選択トランジスタST1、ST2の制御ゲートは、それぞれセレクトゲート線SGD、SGSに共通接続されている。その他の構成は、上記第1乃至第3の実施形態と同様である。

【0095】

上記のようなフラッシュメモリの場合であっても、上記第1乃至第3の実施形態が適用可能である。すなわち、カラムデコーダ13及び第1、第2ロウデコーダ16、17に含まれるレベルシフト回路を、図3、図7、図9乃至図11に示す構成にすることが出来る。

【0096】

更に、上記実施形態は、NOR型フラッシュメモリの場合にも適用できる。図17は、第1乃至第3の実施形態の第5変形例に係るフラッシュメモリのブロック図であり、NOR型フラッシュメモリについて示している。

【0097】

図示するように、メモリセルアレイ11は、マトリクス状に配置された複数のメモリセルトランジスタMTを備えている。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成された積層ゲートを有している。積層ゲートは、ゲート絶縁膜上に形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んでいる。そして、フローティングゲートはトランジスタ毎に分離されている。同一列にあるメモリセルトランジスタMTのドレイン領域はビット線に共通接続されている。また同一行にあるメモリセルトランジスタMTの制御ゲートは、ワード線に共通接続されている。なお、ソースはソース線に接続されている。その他の構成は、上記第1乃至第3の実施形態とほぼ同様である。

【0098】

上記のようなNOR型フラッシュメモリの場合であっても、上記第1乃至第3の実施形態が適用可能である。すなわち、カラムデコーダ13及び第1ロウデコーダ16に含まれるレベルシフト回路を、図3、図7、図9乃至図11に示す構成にすることが出来る。

【0099】

更に、上記実施形態はフラッシュメモリだけでなく、例えばDRAM (Dynamic Random Access Memory) にも適用出来る。図18は、第1乃至第3の実施形態の第6変形例に係る半導体記憶装置のブロック図であり、DRAMについて示している。

【0100】

図示するように、メモリセルアレイ11は、千鳥状に配置された複数のメモリセルMCを備えている。メモリセルMCは、セルトランジスタCT及びセルキャパシタCCを有している。セルキャパシタCCは、一方電極が接地され、他方電

極がセルトランジスタCTのソースに接続されている。そして、同一行にあるセルトランジスタCTのゲートが、ワード線に共通接続されている。その他の構成は、上記第1乃至第3の実施形態とほぼ同様である。

【0101】

上記のようなDRAMの場合であっても、上記第1乃至第3の実施形態が適用可能である。すなわち、カラムデコーダ13及び第1ロウデコーダ16に含まれるレベルシフト回路を、図3、図7、図9乃至図11に示す構成にすることが出来る。

【0102】

また、上記第1乃至第3の実施形態は、システムLSIにも適用できる。図19は、第1乃至第3の実施形態の第7変形例に係るシステムLSIのブロック図である。

【0103】

図示するように、システムLSI80は、ロジック回路領域とメモリ領域とを有している。そして、ロジック回路領域には例えばCPU81が設けられている。またメモリ領域には、上記第1乃至第3の実施形態で説明したフラッシュメモリ10、図16を用いて説明した、3つのMOSトランジスタを含むフラッシュメモリ82、及び図15を用いて説明したNAND型フラッシュメモリ83が設けられている。フラッシュメモリ10のメモリセルは、セルの直列トランジスタの数が2個である。従って、メモリセルの電流駆動能力が他のメモリセルより大きい。そのため、フラッシュメモリ10は、高速の読出し用途に向いている。図19に示すようにCPU81と同一チップに搭載した場合は、フラッシュメモリ10をCPU81のファームウェアなどを格納するROMとして使う事ができる。フラッシュメモリ10の動作速度が速いため、CPU81がRAMなどを介さずに、データを直接読み出す事が出来るようになるため、RAMなどが不要になり、システムLSIの動作速度を向上できる。また、フラッシュメモリ10は、フラッシュメモリ82及びNAND型フラッシュメモリ83と、同一の製造工程で形成出来る。例えば、不純物拡散層を形成するためのイオン注入工程や、ゲート電極及び金属配線層のパターニング工程等を、3つのフラッシュメモリについ

て同時に行うことが出来る。この場合、例えば不純物拡散層は、各メモリ間で同一の濃度を有することになる。このように、LSIに設けられる3つのフラッシュメモリを同一工程で形成できる結果、LSIの製造を簡略化出来る。

【0104】

なお、例えばロジック回路領域では、CPU81をSOI基板上に形成し、メモリ領域では、各メモリ10、82、83をバルクのシリコン基板上に形成しても良い。

【0105】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0106】

【発明の効果】

以上説明したように、この発明によれば、製造工程を簡略化出来る半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るフラッシュメモリのブロック図。

【図2】 この発明の第1の実施形態に係るフラッシュメモリの一部領域の回路図。

【図3】 この発明の第1の実施形態に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図4】 図3に示すレベルシフト回路における、各種信号のタイムチャート。

【図5】 レベルシフト回路の回路図。

【図 6】 図 5 に示すレベルシフト回路における、各種信号のタイムチャート。

【図 7】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図 8】 この発明の第 2 の実施形態の変形例に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図 9】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図 1 0】 この発明の第 3 の実施形態の第 1 変形例に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図 1 1】 この発明の第 3 の実施形態の第 2 変形例に係るフラッシュメモリの備えるレベルシフト回路の回路図。

【図 1 2】 クロックドインバータの回路図。

【図 1 3】 この発明の第 1 乃至第 3 の実施形態の第 1 変形例に係るフラッシュメモリの備えるロウデコーダ及びカラムデコーダの回路図。

【図 1 4】 この発明の第 1 乃至第 3 の実施形態の第 2 変形例に係るフラッシュメモリのブロック図。

【図 1 5】 この発明の第 1 乃至第 3 の実施形態の第 3 変形例に係るフラッシュメモリのブロック図。

【図 1 6】 この発明の第 1 乃至第 3 の実施形態の第 4 変形例に係るフラッシュメモリのブロック図。

【図 1 7】 この発明の第 1 乃至第 3 の実施形態の第 5 変形例に係るフラッシュメモリのブロック図。

【図 1 8】 この発明の第 1 乃至第 3 の実施形態の第 6 変形例に係る D R A M のブロック図。

【図 1 9】 この発明の第 1 乃至第 3 の実施形態の第 7 変形例に係るフラッシュメモリを備えるシステム L S I のブロック図。

【符号の説明】

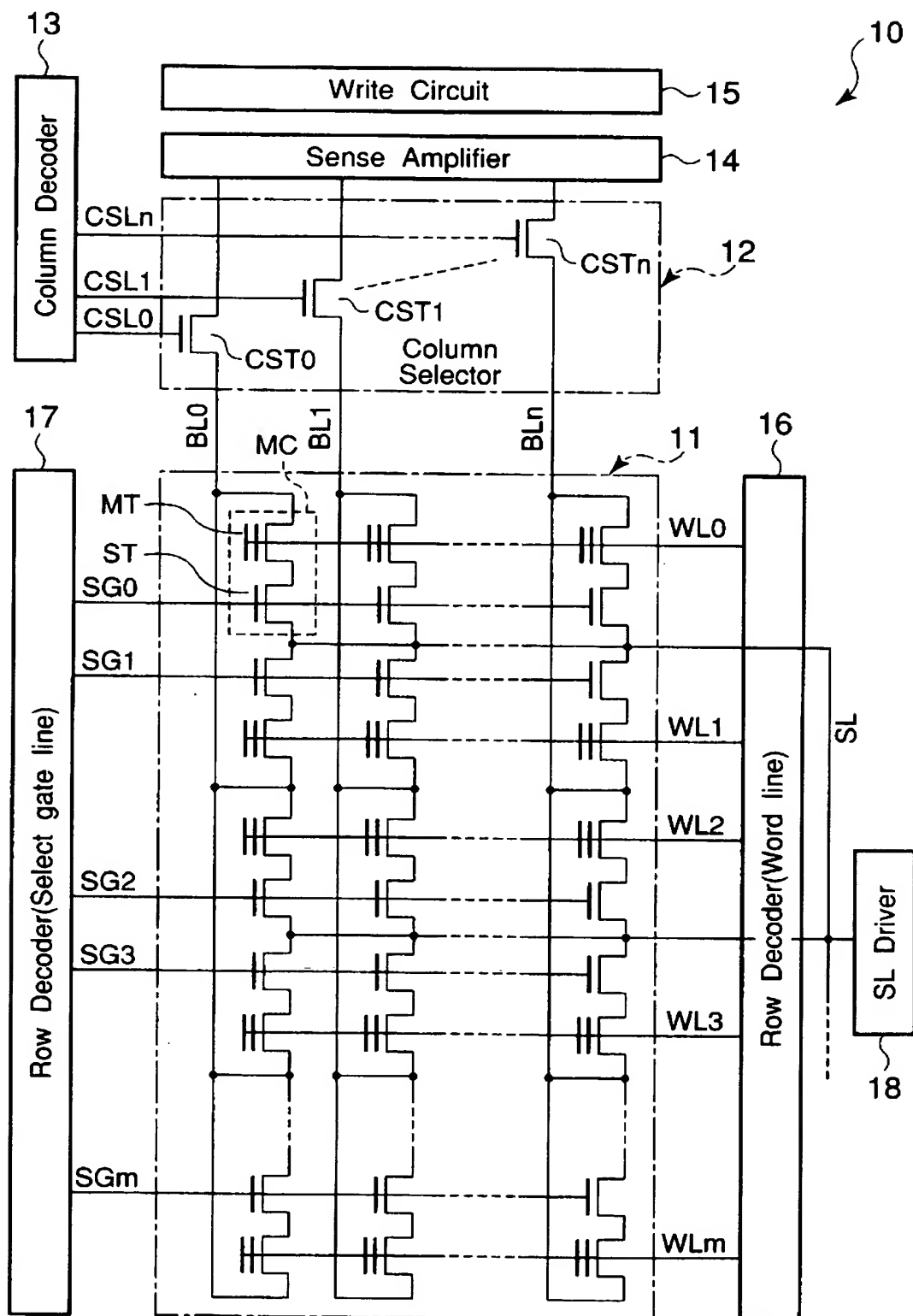
1 0、8 2、8 3…フラッシュメモリ、1 1…メモリセルアレイ、1 2…カラ

ムセクタ、13…カラムデコーダ、14…センスアンプ、15…書き込み回路、16、17…ロウデコーダ、18…ソース線ドライバ、19、21、27、60、61…電圧変換回路、20…カラムアドレスデコード回路、22、28、32…NANDゲート、23、25、29、31、33、35、46、47、51、52、55、63、65…インバータ、24、30、34、62、64…レベルシフト回路、26…ロウアドレスデコード回路、40、41、53、54、66～71、92、93…nチャネルMOSトランジスタ、42～45、90、91…pチャネルMOSトランジスタ、49…キャパシタ素子、50…遅延回路、56、57…クロックドインバータ、80…システムLSI、81…CPU

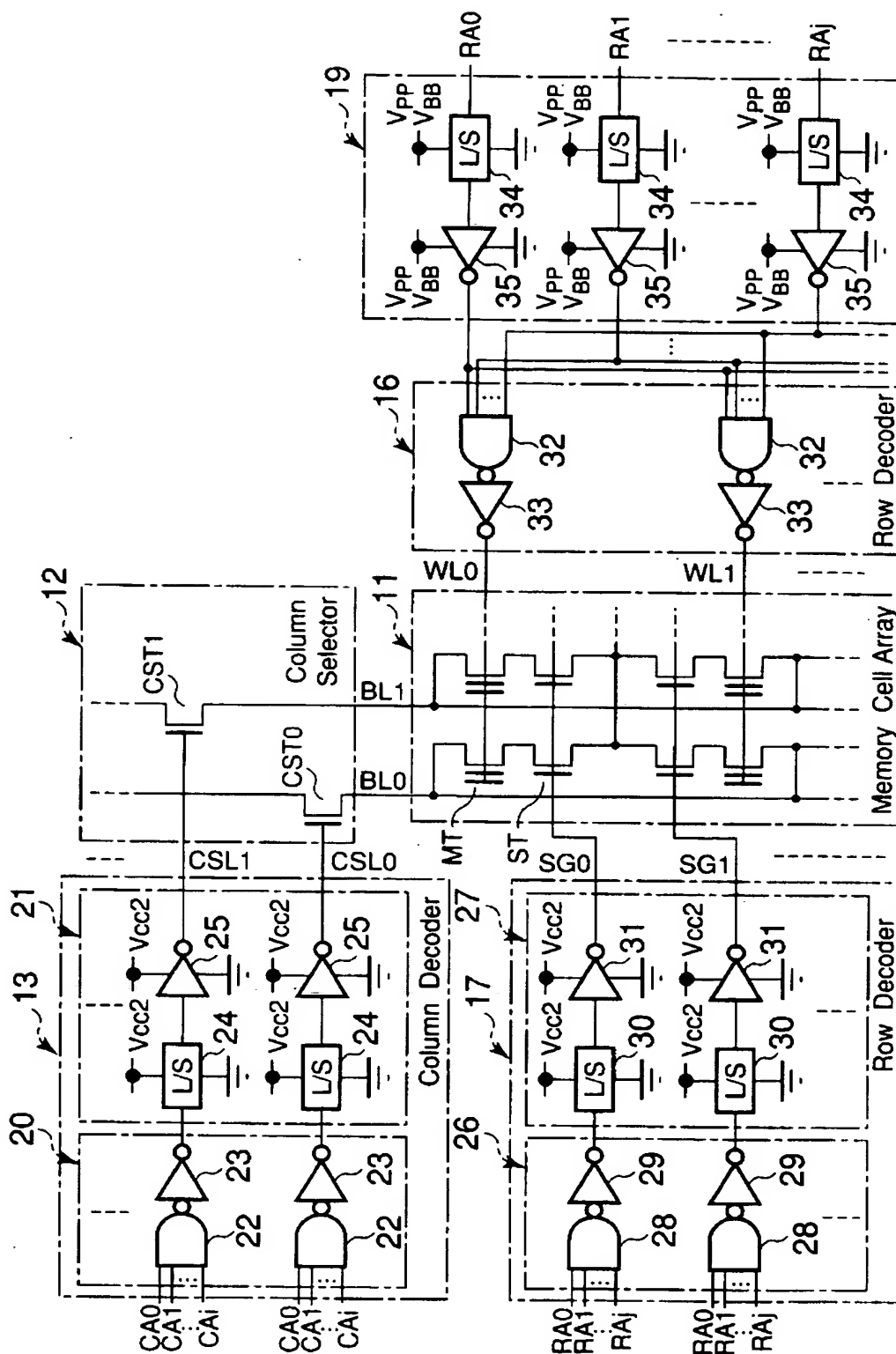
【書類名】

図面

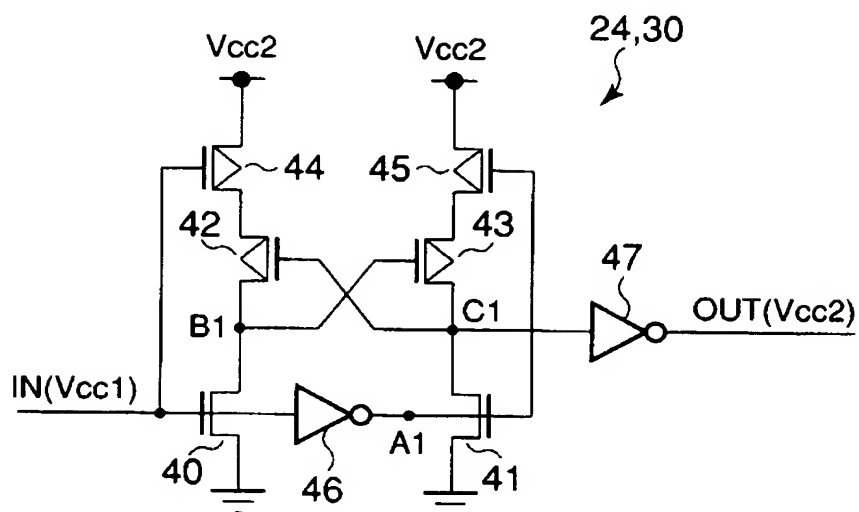
【図 1】



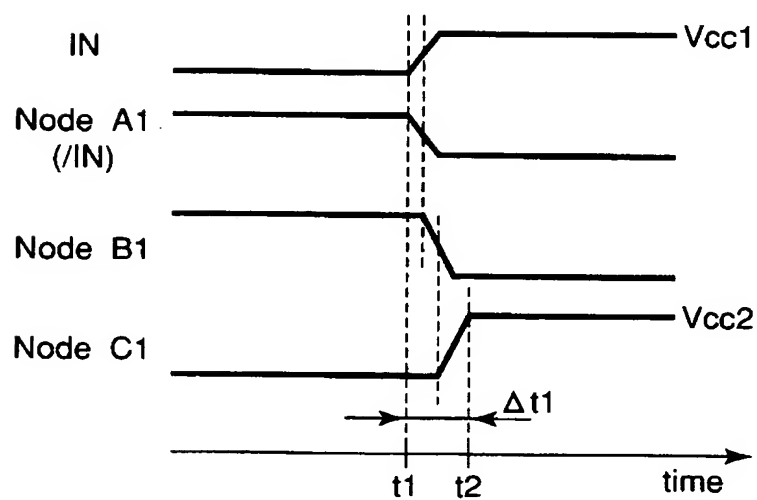
【図 2】



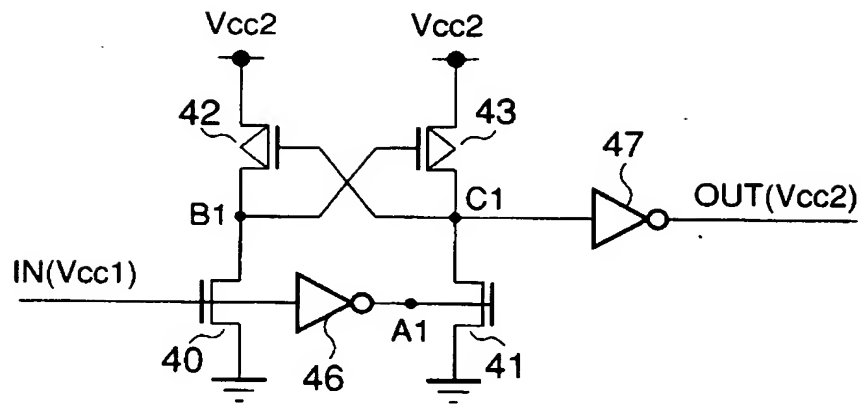
【図 3】



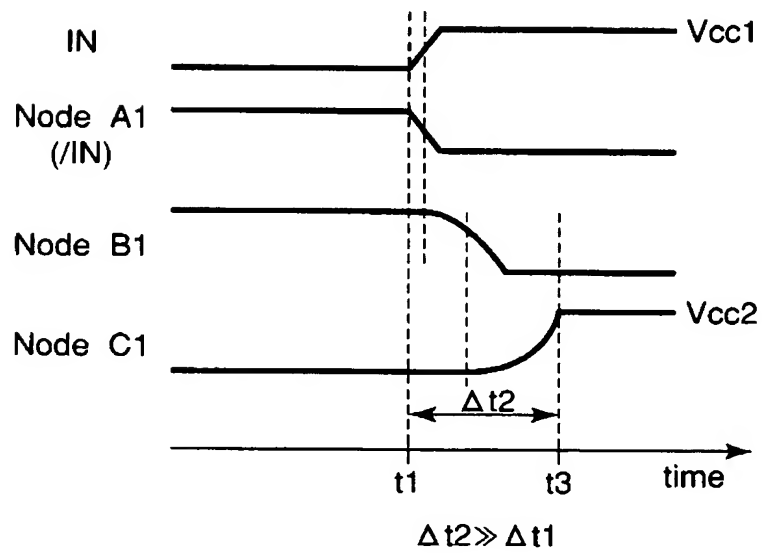
【図 4】



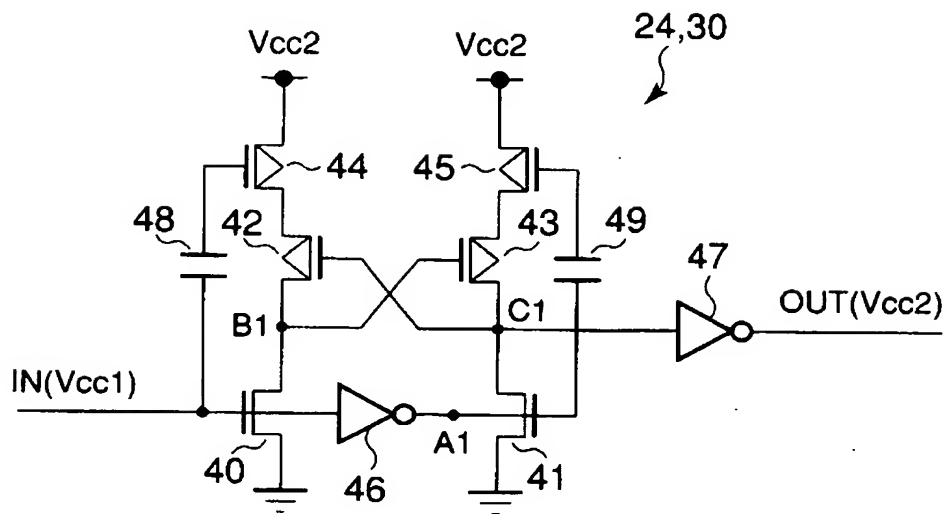
【図 5】



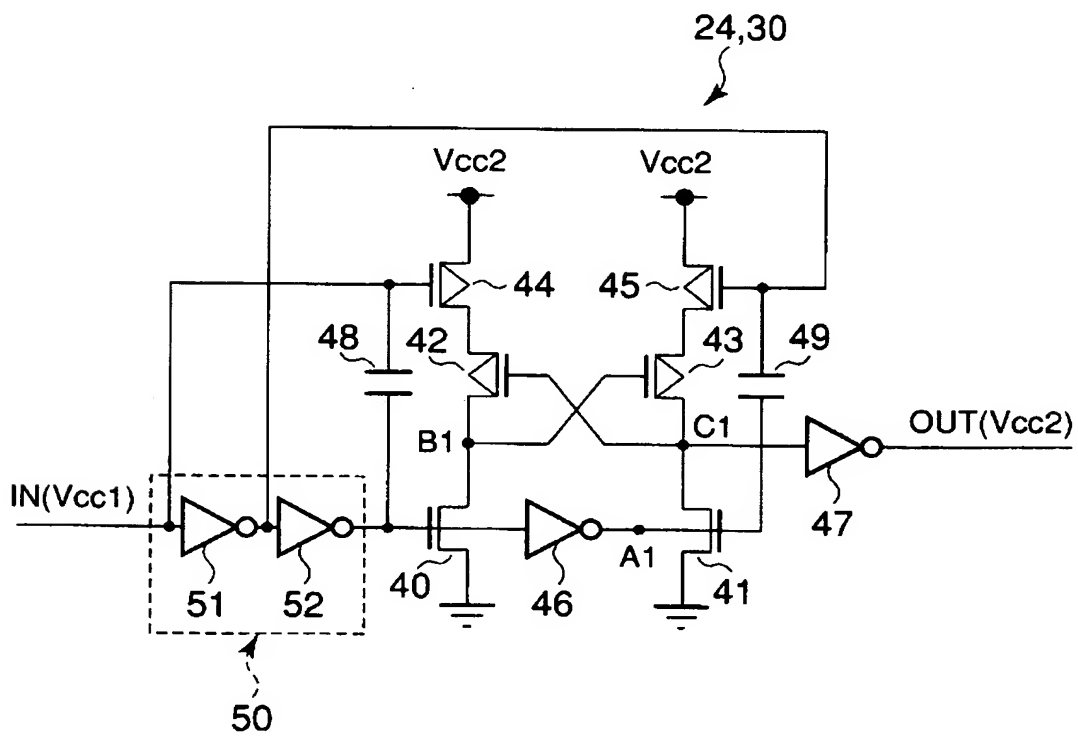
【図 6】



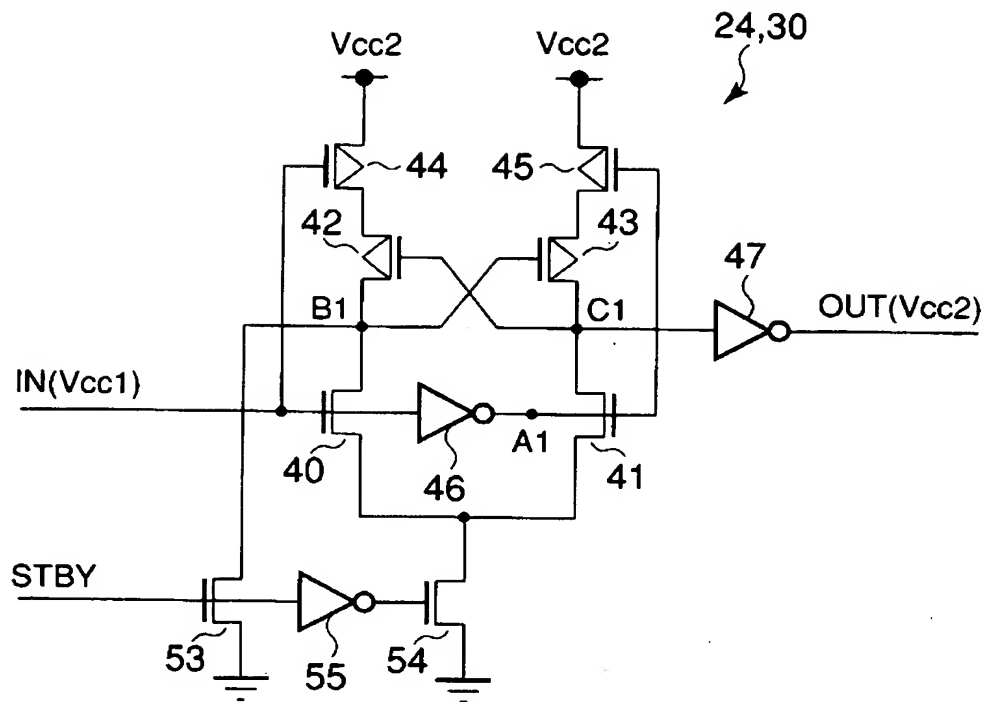
【図 7】



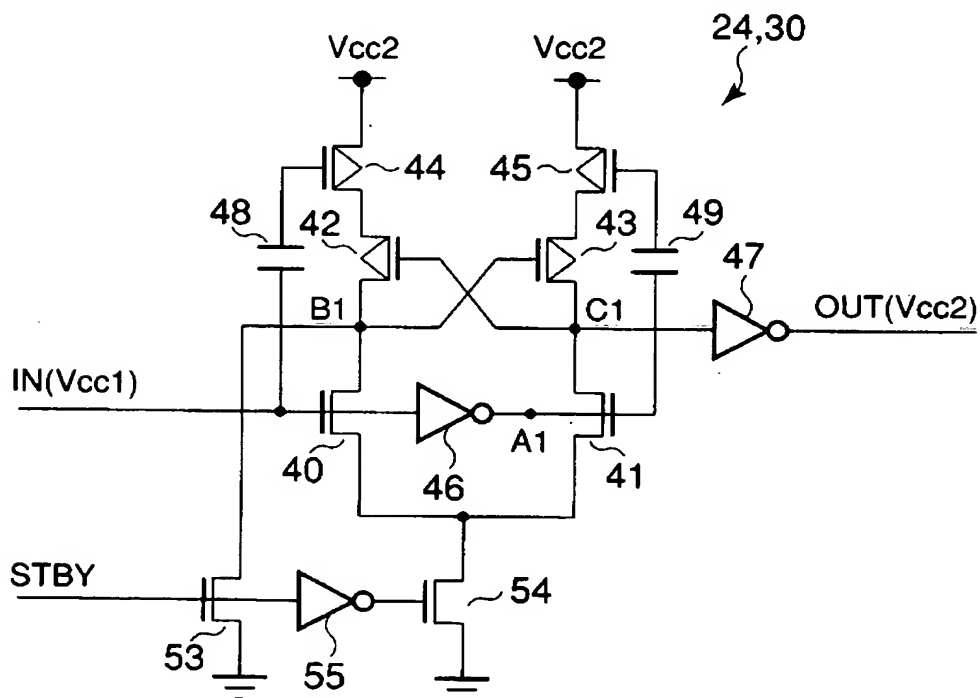
【図 8】



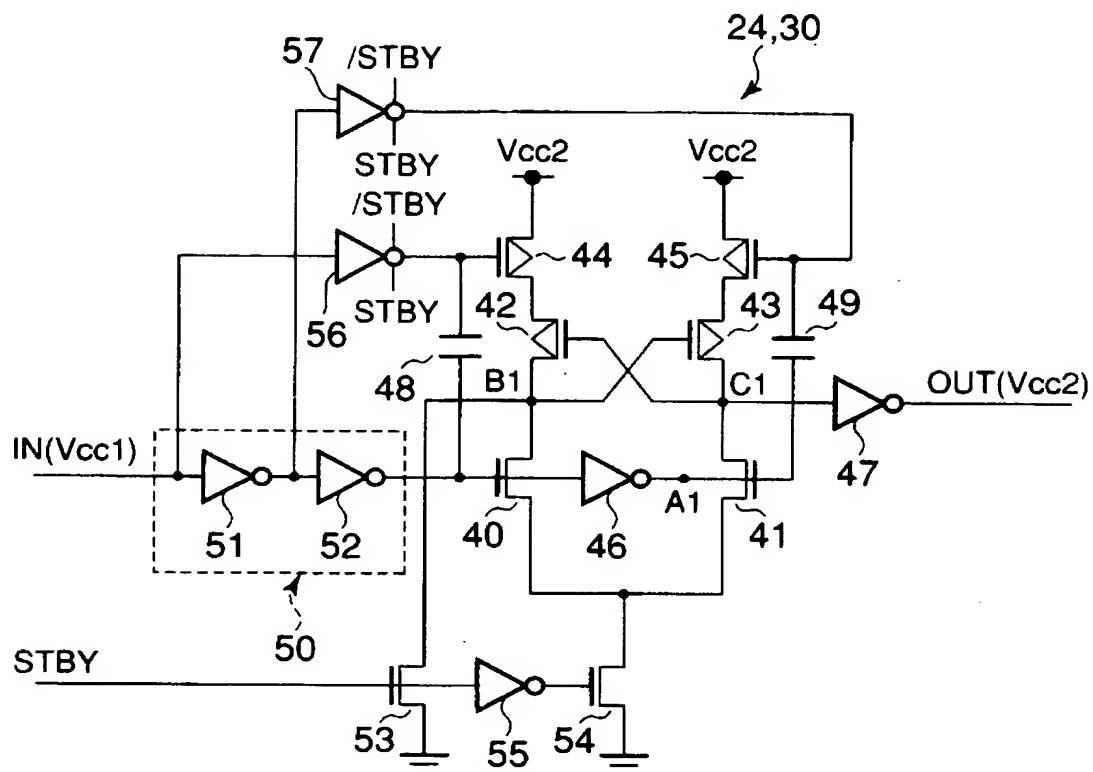
【図 9】



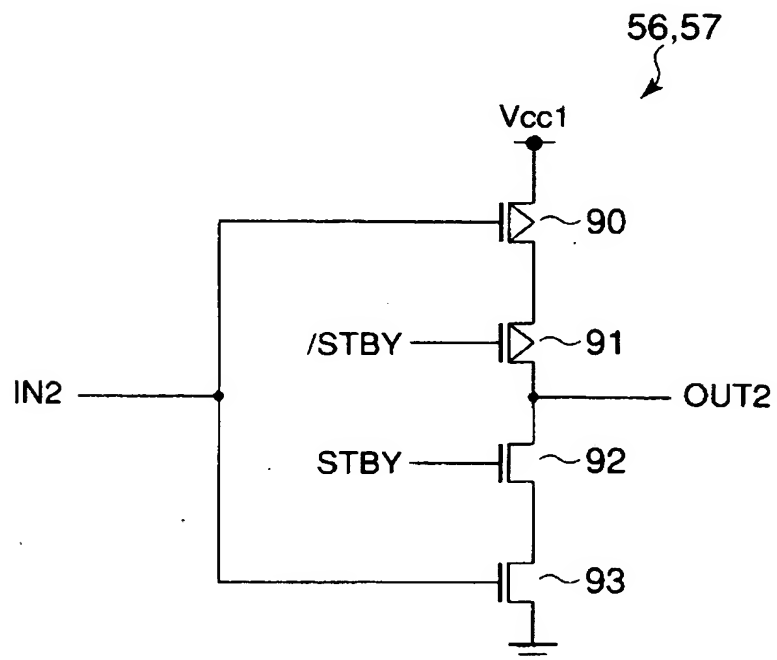
【図 10】



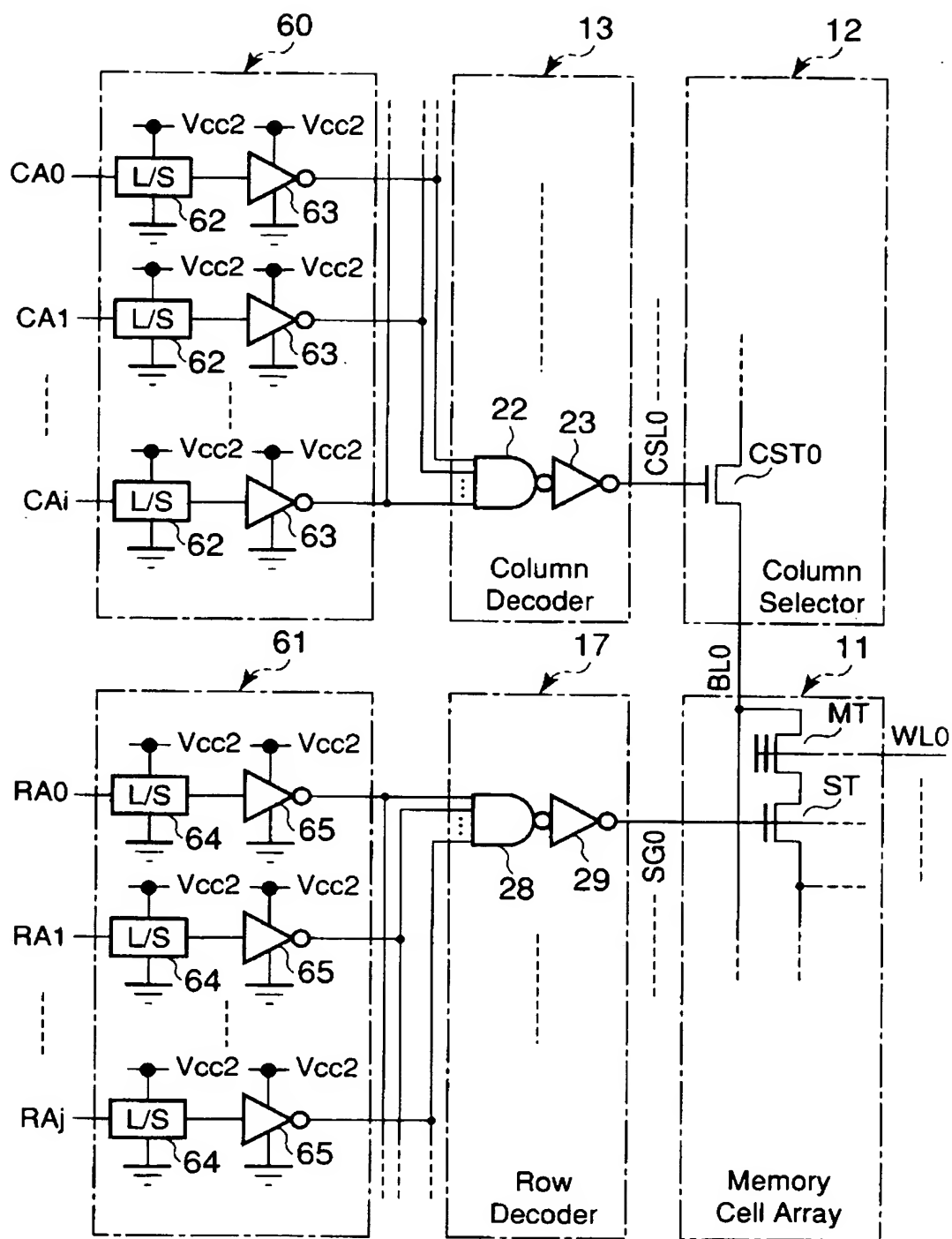
【図 1 1】



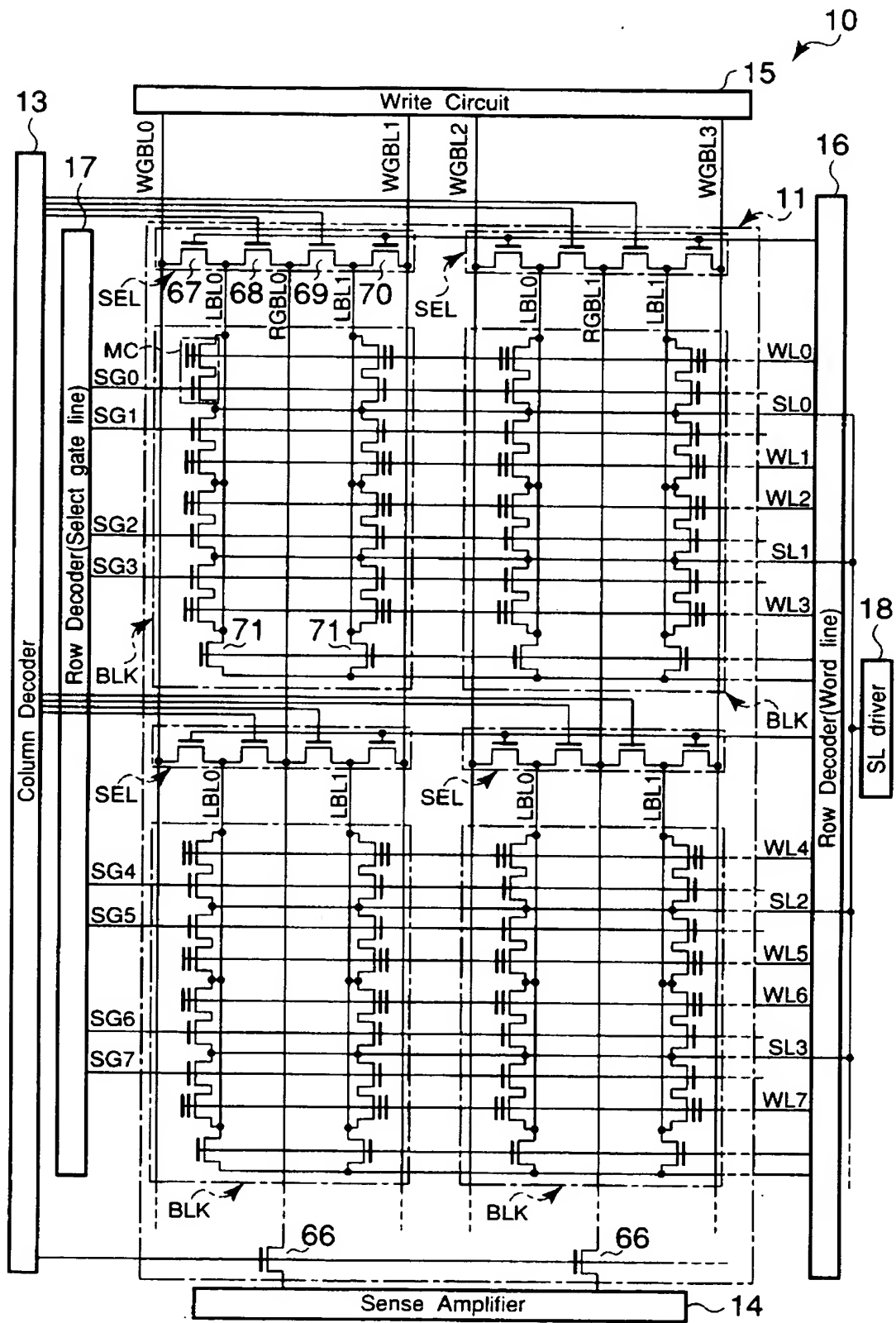
【図 12】



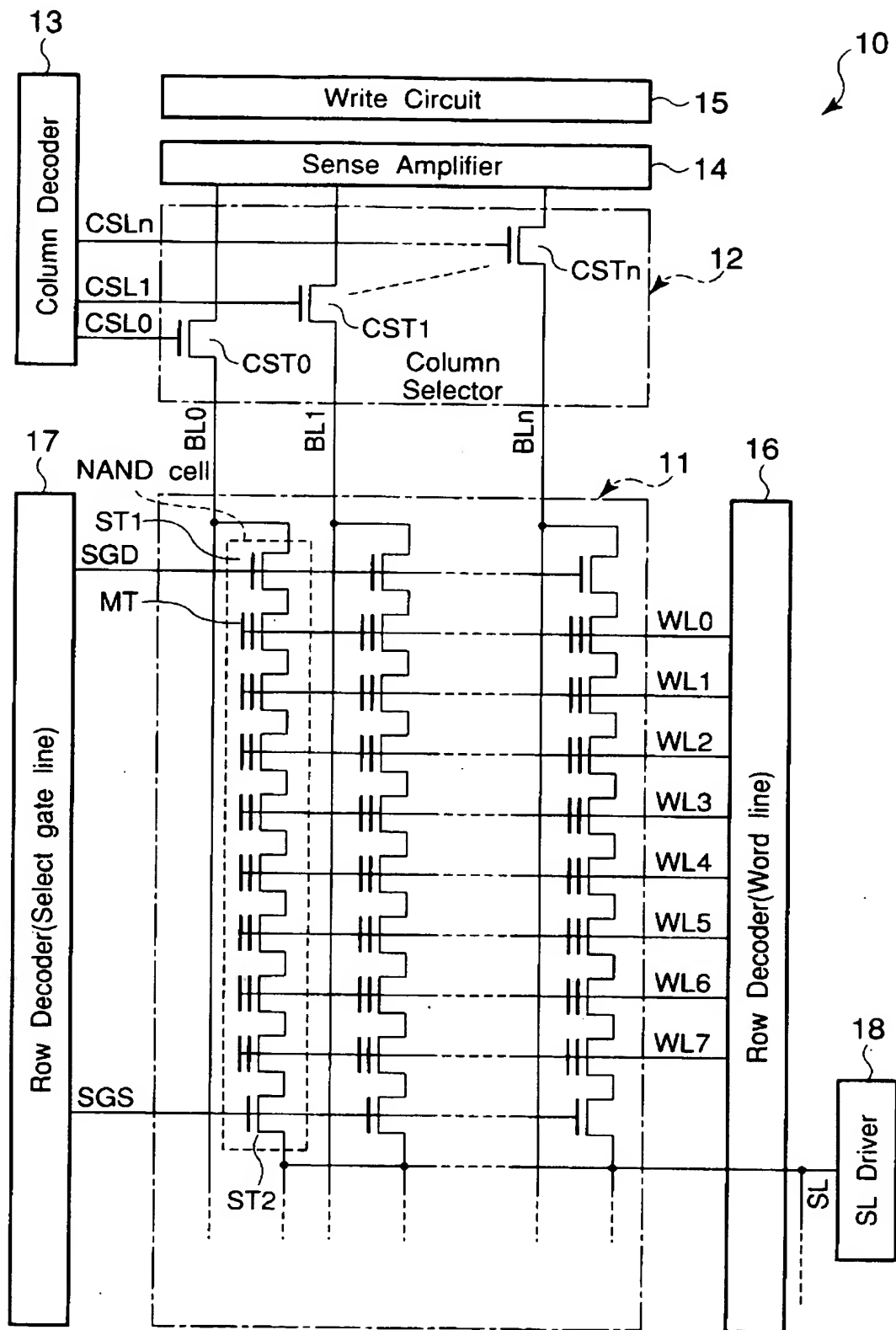
【図 13】



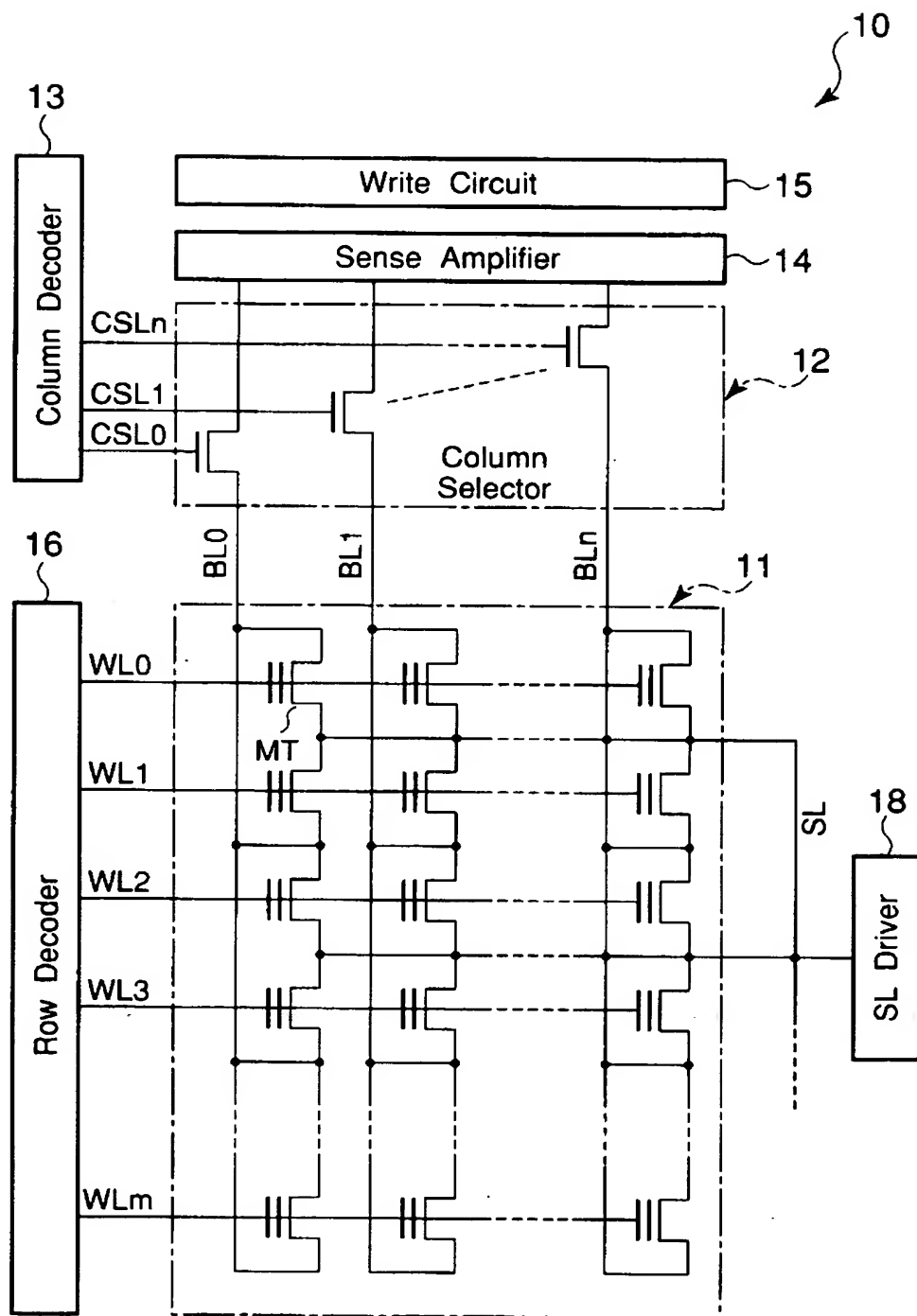
【図 14】



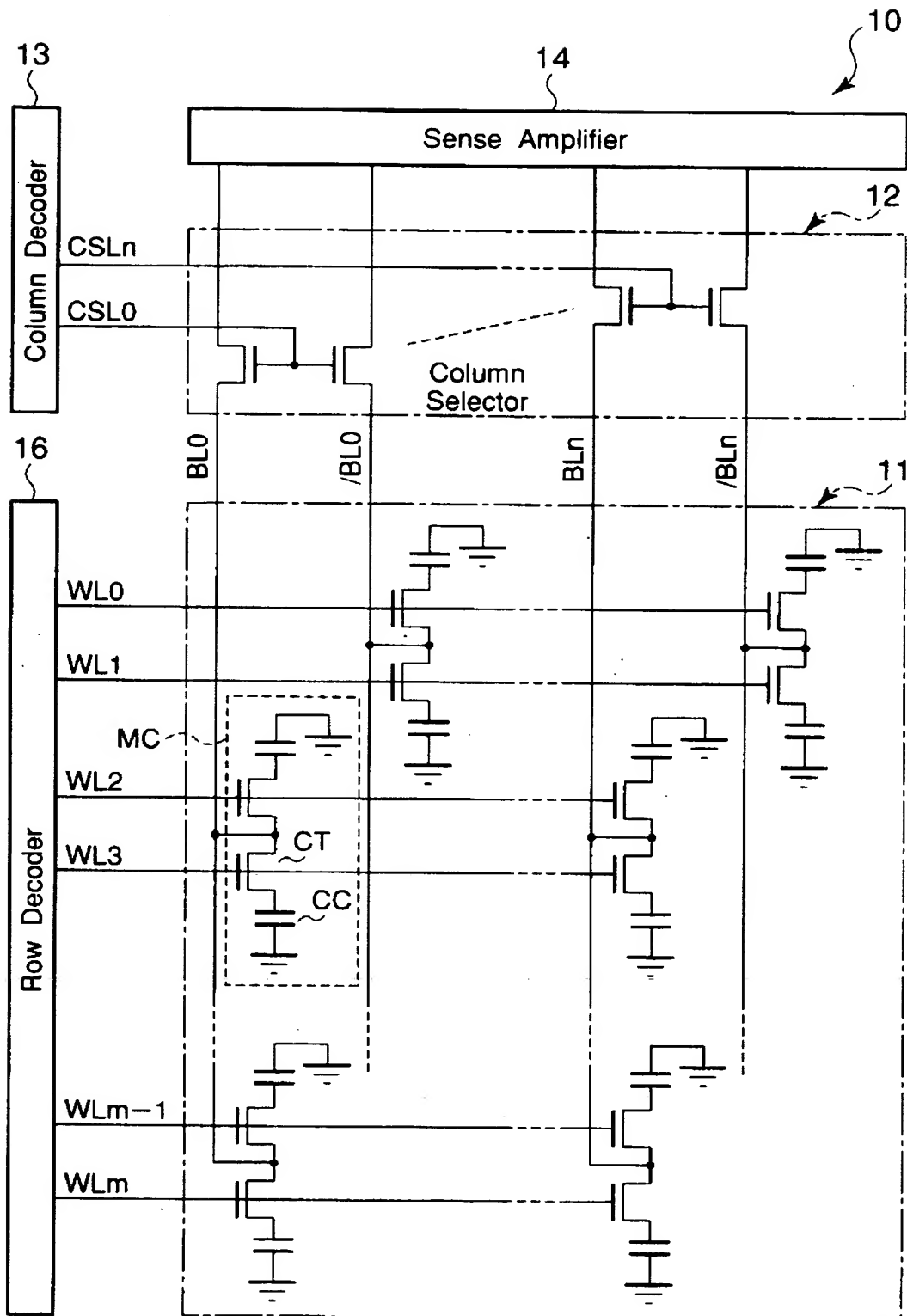
【図 15】



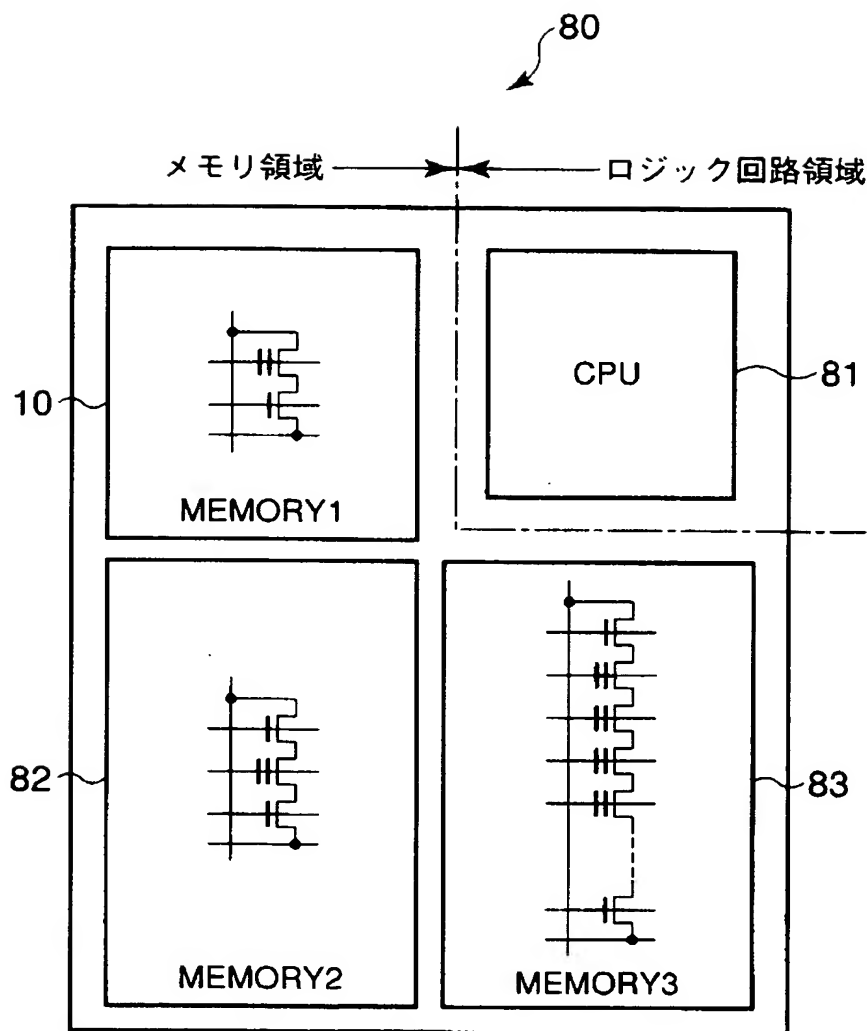
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 動作速度を向上できる半導体記憶装置を提供すること。

【解決手段】 レベルシフト回路 30 は、電源電位に電氣的に接続された電流経路の一端を有する第 2、第 3 MOS トランジスタ 42、43 と、ゲートにアドレス信号に関連した入力信号が入力され、電流経路の一端が前記第 2 MOS トランジスタ 42 の電流経路の他端及び前記第 3 MOS トランジスタ 43 のゲートに接続され、電流経路の他端が接地電位に接続された第 4 MOS トランジスタ 40 と、ゲートに反転入力信号が入力され、電流経路の一端が前記第 3 MOS トランジスタ 43 の電流経路の他端、前記第 2 MOS トランジスタ 42 のゲート、及び第 1 ワード線に接続され、電流経路の他端が接地電位に接続された第 5 MOS トランジスタ 41 と、前記入力信号に応答して、前記第 2、第 3 MOS トランジスタへの前記電源電位の供給を制御する第 1 スイッチ素子 44、45 とを備える。

【選択図】 図 3

特願 2003-165152

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝